

CBM24AD99Q 用于脑电图和生物电势测量的低噪声24位模数转换器

1. 特征

- 多达8个低噪声PGA 和 8 个高分辨率同步采样 ADC（如图1.1）
- 输入参考噪声：1 μ VPP (70Hz BW)
- 输入偏置电流：300 pA
- 数据速率：250 SPS 至16kSPS
- 共模抑制比：-110 dB
- 可编程增益：1、2、4、6、8、12 或24
- 单极或双极电源：
 - 模拟：4.5V 至5.5 V
 - 数字：1.8V 至3.3V
- 内置偏置驱动放大器、导联检测、测试信号
- 内置振荡器
- 内部或外部参考
- 灵活的断电、待机模式
- 与 ADS1299引脚兼容、程序兼容
- SPI 兼容串行接口
- 工作温度范围：-40° C 至 +85° C

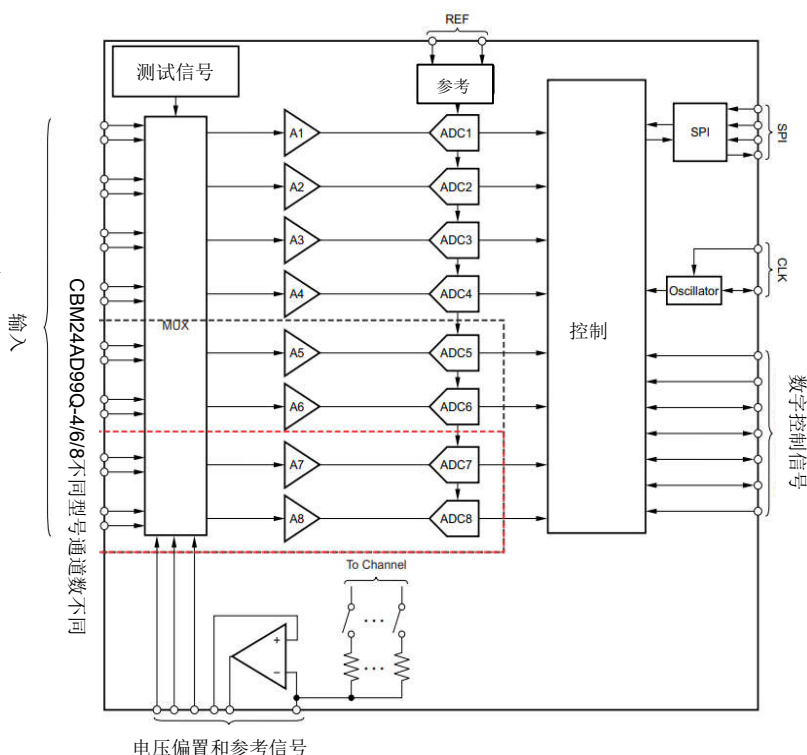


图1.1 芯片整体结构

2. 应用

- 脑电图（EEG）研究
- 胎儿心电图（ECG）
- 睡眠研究监测器
- 双谱指数（BIS）
- 诱发音频电位（EAP）

3. 简介

CBM24AD99Q芯片是低噪声24 位同步采样 Δ - Σ 模数转换器(ADC)，具有内置可编程增益放大器(PGA)、内部电压基准和内部振荡器。CBM24AD99Q包含颅外脑电图(EEG)和心电图(ECG)应用所需的所有常用功能。凭借其高度集成和卓越性能，CBM24AD99Q能够以显著降低的尺寸、功耗和总体成本创建可扩展的医疗仪器系统。CBM24AD99Q每个通道都有一个灵活的输入多路复用器，可以独立连接到内部生成的信号以进行测试、温度测量和导联脱落检测。此外，可以选择输入通道的任何配置来驱动偏置（BIAS）信号。芯片提供SRB1/2两个引脚用于单端信号采集的参考电极。CBM24AD99Q的数据采样率为250SPS至16kSPS。多个CBM24AD99Q芯片可以通过菊花链级联用于高通道数系统。

CBM24AD99Q采用TQFP-64（10mm*10mm）或QFN-64（9mm*9mm）封装，额定温度范围-40° C至+85° C。

目 录

1. 特征	1
2. 应用	1
3. 简介	1
4. 修订记录	3
5. 芯片比较	3
6. 引脚配置和功能	4
7. 规格	6
7.1 绝对最大额定值	6
7.2 ESD 额定值	6
7.3 推荐工作条件	6
7.4 热信息	6
7.5 电气特性	7
7.6 时序要求: SPI串行接口	9
7.7 开关特性: SPI串行接口	9
8. 参数测量信息	10
8.1 噪声测量	10
9. 详细描述	11
9.1 概述	11
9.2 功能框图	11
9.3 功能说明	12
9.3.1 输入多路复用器	12
9.3.2 模拟输入	13
9.3.3 PGA 设置和输入范围	14
9.3.4 $\Delta\Sigma$ 调制器	14
9.3.5 参考电压	15
9.3.6 数字抽取滤波器	15
9.3.7 时钟	16
9.3.8 通用输入输出接口	16
9.3.9 偏置 (BIAS) 驱动电路	16
9.3.10 激励参考 (SRB1/2) 驱动电路	18
9.3.11 导联脱落检测	19
9.3.12 偏置脱落检测	20
9.4 芯片功能模式	21
9.4.1 开始 (START)	21
9.4.2 复位 (RESET)	22
9.4.3 断电 (PWDN)	22
9.4.4 数据采集	22

9.4.5 连续转换模式	23
9.4.6 单发 (SINGLE-SHOT) 模式	23
9.5 编程	24
9.5.1 数据格式	24
9.5.2 SPI接口	24
9.5.3 SPI命令定义	25
9.6 寄存器定义	28
9.6.1 ID: ID控制寄存器 (地址 = 00h) (复位 = xxh)	29
9.6.2 CONFIG1: 配置寄存器 1 (地址 = 01h) (复位 = 96h/06h)	29
9.6.3 CONFIG2: 配置寄存器 2 (地址 = 02h) (复位 = C0h/40h)	30
9.6.4 CONFIG3: 配置寄存器 3 (地址 = 03h) (复位 = 60h/40h)	31
9.6.5 LOFF: 导联检测控制寄存器 (地址 = 04h) (复位 = 00h)	31
9.6.6 CHnSET: 通道设置 (n = 1 到 8) (地址 = 05h 到 0Ch) (复位 = 61h)	32
9.6.7 BIAS_SENSP: BIAS正端信号感测寄存器 (地址 = 0Dh) (复位 = 00h)	33
9.6.8 BIAS_SENSN: BIAS负端信号感测寄存器 (地址 = 0Eh) (复位 = 00h)	34
9.6.9 LOFF_SENSP: 正端导联脱落检测寄存器 (地址 = 0Fh) (复位 = 00h)	35
9.6.10 LOFF_SENSN: 负端导联断开检测寄存器 (地址 = 10h) (复位 = 00h)	35
9.6.11 LOFF_FLIP: 导联检测电流翻转寄存器 (地址 = 11h) (复位 = 00h)	36
9.6.12 LOFF_STATP: 导联正端状态寄存器 (地址 = 12h) (复位 = 00h)	错误!未定义书签。
9.6.13 LOFF_STATN: 导联负端状态寄存器 (地址 = 13h) (复位 = 00h)	38
9.6.14 GPIO: 通用I/O寄存器 (地址 = 14h) (复位 = 0Fh)	38
9.6.15 MISC1: 杂项 1 寄存器 (地址 = 15h) (复位 = 00h)	39
9.6.16 MISC2: 杂项 2 (地址 = 16h) (复位 = 00h)	40
9.6.17 CONFIG4: 配置寄存器 4 (地址 = 17h) (复位 = 00h)	40
10. 应用事项	41
10.1 静电放电注意事项	41
10.2 封装尺寸详细数据	41
10.3 芯片订购信息列表	42

4. 修订记录

初版生成。

5. 芯片比较

产品	封装	工作温度范围	频道	分辨率	最大采样率
CBM24AD99Q	TQFP-64	- 40° C至+85° C	8	24	16kSPS
CBM24AD98Q	TQFP-64	- 40° C至+85° C	8	24	32kSPS

6. 引脚配置和功能

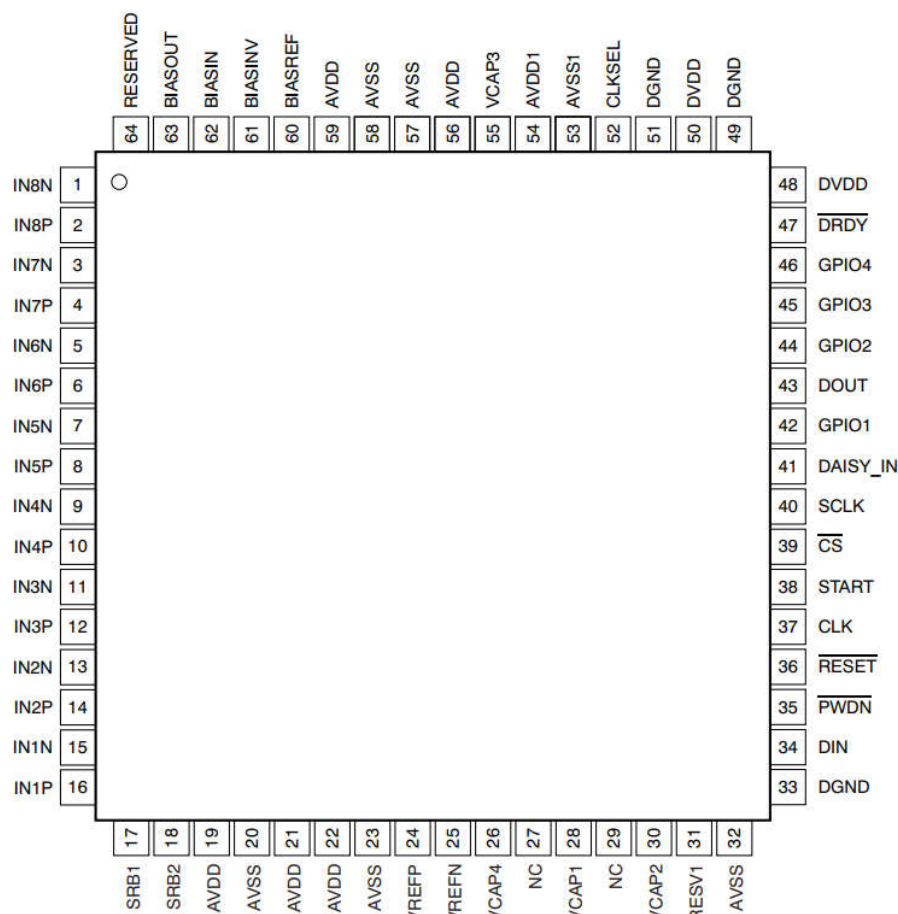


图6.1 TQFP64/QFN64封装引脚顶视图

表6.1 芯片引脚功能

管脚		类型	说明
名称	位置编号		
AVDD	19, 21, 22, 56, 59	电源	模拟电源。将1 μ F 电容器连接到 AVSS。
	59	电源	电荷泵模拟电源。将一个 1 μ F 电容器连接到 AVSS，引脚 58。
AVDD1	54	电源	模拟电源。将1 μ F 电容器连接到 AVSS1。
AVSS	20, 23, 32, 57	电源	模拟地
	58	电源	电荷泵模拟地
AVSS1	53	电源	模拟地
BIASIN	62	模拟输入	到 MUX 的偏置驱动输入
BIASINV	61	模拟输入/输出	偏置驱动反相输入
BIASOUT	63	模拟输出	偏置驱动输出
BIASREF	60	模拟输入	偏置驱动同相输入
$\overline{CS}$ 或CS_	39	数字输入	片选，低电平有效
CLK	37	数字输入	主时钟输入
CLKSEL	52	数字输入	主时钟选择 ⁽¹⁾
DAISY_IN	41	数字输入	菊花链输入

管脚		类型	说明
名称	位置编号		
DGND	33, 49, 51	电源	数字地
DIN	34	数字输入	串行数据输入
DOUT	43	数字输出	串行数据输出
$\overline{\text{DRDY}}$ 或DRDY_	47	数字输出	数据就绪，低电平有效
DVDD	48, 50	电源	数字电源。将 $1\mu\text{F}$ 电容器连接到 DGND。
GPI01	42	数字输入/输出	通用输入/输出引脚 1。 如果未使用，请使用 $\geq 10\text{k}\Omega$ 电阻器连接到 DGND。
GPI02	44	数字输入/输出	通用输入/输出引脚 2。 如果未使用，请使用 $\geq 10\text{k}\Omega$ 电阻器连接到 DGND。
GPI03	45	数字输入/输出	通用输入/输出引脚 3。 如果未使用，请使用 $\geq 10\text{k}\Omega$ 电阻器连接到 DGND。
GPI04	46	数字输入/输出	通用输入/输出引脚 4。 如果未使用，请使用 $\geq 10\text{k}\Omega$ 电阻器连接到 DGND。
IN1N	15	模拟输入	差分模拟负输入 1 ⁽²⁾
IN1P	16	模拟输入	差分模拟正输入 1 ⁽²⁾
IN2N	13	模拟输入	差分模拟负输入 2 ⁽²⁾
IN2P	14	模拟输入	差分模拟正输入 2 ⁽²⁾
IN3N	11	模拟输入	差分模拟负输入 3 ⁽²⁾
IN3P	12	模拟输入	差分模拟正输入 3 ⁽²⁾
IN4N	9	模拟输入	差分模拟负输入 4 ⁽²⁾
IN4P	10	模拟输入	差分模拟正输入 4 ⁽²⁾
IN5N	7	模拟输入	差分模拟负输入 5 ⁽²⁾ (仅限 CBM24AD99Q-6 和CBM24AD99Q)
IN5P	8	模拟输入	差分模拟正输入 5 ⁽²⁾ (仅限 CBM24AD99Q-6 和CBM24AD99Q)
IN6N	5	模拟输入	差分模拟负输入 6 ⁽²⁾ (仅限 CBM24AD99Q-6 和CBM24AD99Q)
IN6P	6	模拟输入	差分模拟正输入 6 ⁽²⁾ (仅限 CBM24AD99Q-6 和CBM24AD99Q)
IN7N	3	模拟输入	差分模拟负输入 7 ⁽²⁾ (仅限 CBM24AD99Q)
IN7P	4	模拟输入	差分模拟正输入 7 ⁽²⁾ (仅限 CBM24AD99Q)
IN8N	1	模拟输入	差分模拟负输入 8 ⁽²⁾ (仅限 CBM24AD99Q)
IN8P	2	模拟输入	差分模拟正输入 8 ⁽²⁾ (仅限 CBM24AD99Q)
NC	27, 29	—	无连接，保持开路
Reserved	64	模拟输出	留作将来使用，开路
$\overline{\text{RESET}}$ 或RESET_	36	数字输入	系统复位，低电平有效
RESV1	31	数字输入	保留以备将来使用，直接连接到 DGND
SCLK	40	数字输入	串行时钟输入
SRB1	17	模拟输入/输出	刺激、参考和偏置信号 1
SRB2	18	模拟输入/输出	刺激、参考和偏置信号 2
START	38	数字输入	启动或重新启动转换的同步信号
$\overline{\text{PWDN}}$ 或PWDN_	35	数字输入	断电，低电平有效
VCAP1	28	模拟输出	模拟旁路电容引脚；将 $100\mu\text{F}$ 电容器连接到 AVSS。
VCAP2	30	模拟输出	模拟旁路电容引脚；将 $1\mu\text{F}$ 电容器连接到 AVSS。
VCAP3	55	模拟输出	模拟旁路电容引脚；将 $1\mu\text{F}$ 和 $0.1\mu\text{F}$ 电容器的并联组合连接到 AVSS。
VCAP4	26	模拟输出	模拟旁路电容引脚；将 $1\mu\text{F}$ 电容器连接到 AVSS。
VREFN	25	模拟输入	负模拟参考电压。
VREFP	24	模拟输入/输出	正模拟参考电压；将一个最小 $10\mu\text{F}$ 的电容器连接到 VREFN。

(1) 通过 $\geq 10\text{-k}\Omega$ 的电阻器将两态模式设置引脚设置为高电平至 DVDD 或低电平至 DGND。

(2) 将未使用的模拟输入直接连接到 AVDD

7. 规格

7.1 绝对最大额定值

		最小	最大	单位
电压 ⁽¹⁾	AVDD 到 AVSS	- 0.3	5.5	V
	DVDD 转 DGND	- 0.3	3.9	
	AVSS 至 DGND	- 3	0.2	
	VREFP 转 AVSS	- 0.3	AVDD + 0.3	
	VREFN 转 AVSS	- 0.3	AVDD + 0.3	
	模拟输入	AVSS - 0.3	AVDD + 0.3	
	数字输入	DGND - 0.3	DVDD + 0.3	
电流 ⁽¹⁾	输入, 连续, 除电源引脚以外的任何引脚 ⁽²⁾	- 10	10	mA
温度 ⁽¹⁾	交界处, T _J		150	°C
	存储, T _{stg}	- 60	150	

(1) 应力超出绝对最大额定值下列出的值可能会对芯片造成永久损坏。这些列出的值仅仅是应力额定值, 这并不表示芯片在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响芯片的可靠性。

(2) 输入引脚通过二极管钳位到电源轨。如果模拟输入电压超过 AVDD+0.3V 或低于AVSS - 0.3V, 或者如果数字输入电压超过 DVDD+0.3V 或低于DGND - 0.3V, 则将输入电流限制为10mA或更低。

7.2 ESD 额定值

	值	单位
V _(ESD) 静电释放	人体模型 (HBM), 用于 ANSI / ESDA/ JEDEC JS-001 ⁽¹⁾	±1000 V

7.3 推荐工作条件

		最小	典型	最大	单位
电源					
模拟电源	AVDD 到 AVSS	4.75	5	5.25	V
数字电源	DVDD 到 DGND	1.8	1.8	3.6	V
模拟到数字电源	AVDD - DVDD	- 2.1		3.6	V
模拟输入					
满量程差分输入电压	VINxP - VINxN	±VREF/增益			V
VCM 输入共模范围	(VINxP + VINxN) / 2	详见9.3.3节			
电压参考输入					
参考电压	参考输入电压	VREF = (VVREFP -VVREFN)	4.5		V
VREFN	负输入		AVSS		V
VREFP	正输入		AVSS+4.5		V
时钟输入					
时钟频率	外部时钟输入频率	CLKSEL引脚 = 0	1.5	2.048	2.25 MHz
数字输入					
输入电压		DGND - 0.1		DVDD + 0.1	V
温度范围					
T _A	工作温度范围	- 40		85	℃

7.4 热信息

热指标 ⁽¹⁾		CBM24AD99Q	单位
		PAG (TQFP)	
		64PIN	
$R_{\theta JA}$	结到环境热阻	46.2	°C/W
$R_{\theta JC(TOP)}$	结到外壳（顶部）热阻	5.8	°C/W
$R_{\theta JB}$	结到板热阻	19.6	°C/W
Ψ_{JT}	结到顶特性参数	0.2	°C/W
Ψ_{JB}	结到板特性参数	19.2	°C/W
$R_{\theta JC(bot)}$	结到外壳（底部）热阻	不适用	°C/W

7.5 电气特性

最小和最大规格适用于 $T_A = -40^{\circ}\text{C}$ 至 85°C 。典型规格为 $T_A = +25^{\circ}\text{C}$ 。所有规格均在 $AVDD - AVSS = 5\text{V}$ 、 $DVDD = 3.3\text{V}$ 、 $V_{REF} = 4.5\text{V}$ 、外部 $f_{CLK} = 2.048\text{ MHz}$ ，数据速率 = 250SPS，以及增益 = 12（除非另有说明）

范围	测试条件	最小	类型	最大	单位
模拟输入					
输入电容		20			pF
输入偏置电流	T _A = +25° C, I _{NxP} 和 I _{NxN} = 2.5V	±300			pA
	T _A = -40° C 至+85° C, I _{NxP} 和 I _{NxN} = 2.5V	±300			
直流输入阻抗	无引出线	1000			MΩ
	电流源导联断开检测 (I _{LEADOFF} = 6 nA)	500			
PGA性能					
增益设置		1, 2, 4, 6, 8, 12, 24			
BW 带宽		见PGA描述			
ADC性能					
解析度		24			Bits
DR 数据速率	f _{CLK} = 2.048 MHz	250	16000		SPS
直流通道性能					
输入相关噪声 (0.01 Hz 至 70 Hz)	10秒的数据, 增益 = 24 ⁽¹⁾	1			μV _{PP}
	250点, 1 秒数据, 增益 = 24, T _A = +25° C	1 1.35			
	250点, 1 秒数据, 增益 = 24, T _A = -40° C至 +85- C	1 1.6			
	所有其他采样率和增益设置	见 噪声测量			
INL 积分非线性	增益 = 12 的满量程, 最佳拟合	8			ppm
偏移误差		60			μV
偏移误差漂移		80			nV/°C
增益误差	排除电压参考误差	0.1 ±0.5			% of FS
增益漂移	不包括参考电压漂移	3			ppm/°C
通道间的增益匹配		0.2			%of FS
交流通道性能					
CMRR 共模抑制比	f _{CM} = 50 Hz 和60 Hz ⁽²⁾	-110	-120		dB
PSRR 电源抑制比	f _{PS} = 50 Hz 和60 Hz	96			dB
串扰	f _{IN} = 50 Hz 和60 Hz	-110			db
SNR 信噪比	V _{IN} = -2 dBFS, f _{IN} = 10Hz 输入, 增益 = 12	121			dB
THD 总谐波失真	V _{IN} = -0.5 dBFS, f _{IN} = 10 Hz	-99			dB
偏置放大器					

范围	测试条件	最小	类型	最大	单位
综合噪声	带宽 = 150 Hz	2			μV_{RMS}
增益带宽积	50-k Ω 10-pF负载, 增益 = 1	100			kHz
压摆率	50-k Ω 10-pF负载, 增益 = 1	0.07			V/ μs
THD 总谐波失真	$f_{IN} = 10$ Hz, 增益 = 1	-80			dB
共模输入范围		AVSS+ 0.3		AVDD - 0.3	V
短路电流		1.1			mA
静态功耗		20			μA
电极脱落检测					
频率	连续	在直流时, $f_{DR}/4$, 有关设置, 请参阅寄存器定义部分			Hz
	一次或定期	7.8, 31.2			
电流	I _{LEAD_OFF} [1:0] = 00	6			nA
	I _{LEAD_OFF} [1:0] = 01	24			
	I _{LEAD_OFF} [1:0] = 10	6			μA
	I _{LEAD_OFF} [1:0] = 11	24			
电流精度		$\pm 20\%$			
比较器阈值精度		± 30			mV
外部参考					
输入阻抗		5.6			K Ω
内部参考					
参考电压	内部参考电压	4.5			V
V_{REF} 精度		$\pm 0.2\%$			
漂移	$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	35			ppm/ $^{\circ}C$
启动时间		150			ms
系统监视器					
读取误差	模拟电源		2%		
	数字电源		2%		
芯片启动		从开启到 $\overline{DRDY}$ 低电平	150		ms
		待机模式	31.25		μs
温度传感器读数	电压	$T_A = +25^{\circ}C$	145		mV
	系数		490		$\mu V/^{\circ}C$
测试信号	信号频率	有关设置, 请参阅寄存器定义部分	$f_{CLK}/2^{21}, f_{CLK}/2^{20}$		Hz
	信号电压	有关设置, 请参阅寄存器定义部分	$\pm 1, \pm 2$		mV
	准确性		$\pm 2\%$		
时钟					
内部振荡器时钟频率	标准频率	2.048			MHz
内部时钟精度	$T_A = +25^{\circ}C$		$\pm 0.5\%$		
	$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		$\pm 2.5\%$		
内部振荡器启动时间		20			μs
内部振荡器功耗		120			μW
数字输入/输出 (DVDD = 1.8 V 至 3.6 V)					
V_{IH}	高电平输入电压	0.8 DVDD		DVDD + 0.1	V
V_{IL}	低电平输入电压	-0.1		0.2 DVDD	V
V_{OH}	高电平输出电压	$I_{OH} = -500 \mu A$	0.9 DVDD		V
V_{OL}	低电平输出电压	$I_{OL} = +500 \mu A$		0.1 DVDD	V
输入电流		$0 V < V_{DigitalInput} < DVDD$	-10	10	μA
供电电流 (偏置关闭)					
I_{AVDD}	AVDD电流	正常模式, AVDD - AVSS = 5V	4.06		mA
	CBM24AD99Q-6		5.57		
	CBM24AD99Q		7.14		
I_{DVDD}	DVDD电流	正常模式, DVDD = 3.3V	0.54		mA

范围		测试条件	最小	类型	最大	单位
	CBM24AD99Q-6		0.66			
	CBM24AD99Q		1			
	CBM24AD99Q-4	0.27				
	CBM24AD99Q-6	0.34				
	CBM24AD99Q	0.5				
功耗（模拟电源 = 5 V，偏置放大器关闭）						
功耗	CBM24AD99Q-4	正常模式	22	24	mW	
		断电	10		uW	
		待机模式，内部参考	5.1		mW	
	CBM24AD99Q	正常模式	30	33	mW	
		断电	10		uW	
		待机模式，内部参考	5.1		mW	
	CBM24AD99Q	正常模式	39	42	mW	
		断电	10		uW	
		待机模式，内部参考	5.1		mW	

(1) 以 10 秒为间隔测量的噪声数据。未在生产中进行测试。输入参考噪声是通过输入短路（无电极电阻）在 10 秒的时间间隔内计算得出的。

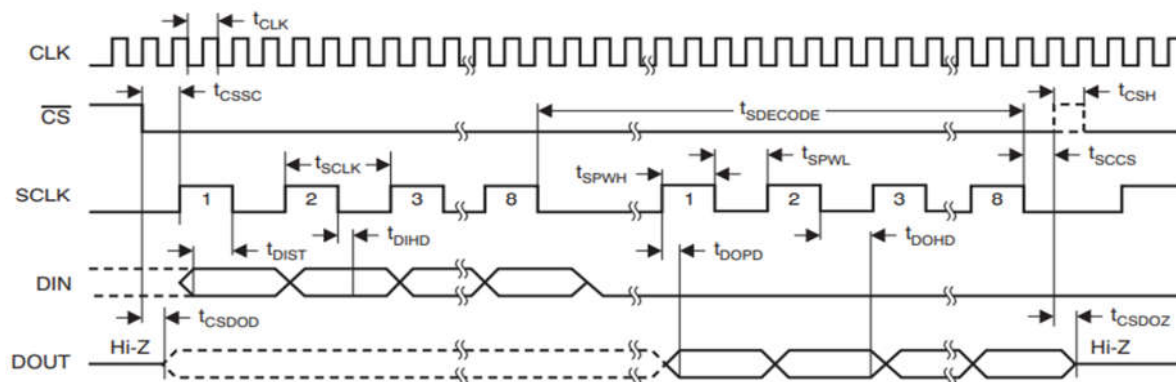
(2) CMRR是使用 $AVSS+0.3V$ 至 $AVDD-0.3V$ 的共模信号测量的。所示值是八个通道中的最小值。

7.6 时序要求：SPI串行接口

		2.7V ≤ DVDD ≤ 3.6V		1.8V ≤ DVDD ≤ 2.0V		单位
		最小	最大	最小	最大	
t _{CLK}	主时钟周期	414	666	414	666	ns
t _{CSSC}	延迟时间，CS_ 低电平到第一个 SCLK	6		17		ns
t _{SCLK}	SCLK周期	50		66.6		ns
t _{SPWH,L}	脉冲持续时间，SCLK 脉冲持续时间，高电平或低电平	15		25		ns
t _{DIST}	建立时间，DIN 对 SCLK下降沿有效	10		10		ns
t _{D1HD}	保持时间，SCLK下降沿后DIN有效	10		11		ns
t _{CSH}	脉冲持续时间，CS_高	2		2		t _{CLK}
t _{SCCS}	延迟时间，最终 SCLK 下降沿到CS_高电平	4		4		t _{CLK}
t _{SDECODE}	命令解码时间	4		4		t _{CLK}
t _{disk2st}	建立时间，DAISY_IN 对 SCLK 上升沿有效	10		10		ns
t _{disk2ht}	保持时间，DAISY_IN 在 SCLK 上升沿后有效	10		10		ns

7.7 开关特性：SPI串行接口

范围		2.7V ≤ DVDD ≤ 3.6V		1.8V ≤ DVDD ≤ 2.0V		单位
		最小	最大	最大	最小	
t _{DOHD}	保持时间，SCLK 下降沿到无效 DOUT	10		10		ns
t _{DOPD}	传播延迟时间，SCLK 上升沿到 DOUT 有效		17		32	ns
t _{SDOD}	传播延迟时间，CS_ 低电平到 DOUT 驱动	10		20		ns
t _{CSDOZ}	传播延迟时间，CS_ 高到 DOUT Hi-Z		10		20	ns



注意：SPI 设置为 CPOL = 0 和 CPHA = 1。

图 7.1 串行接口时序

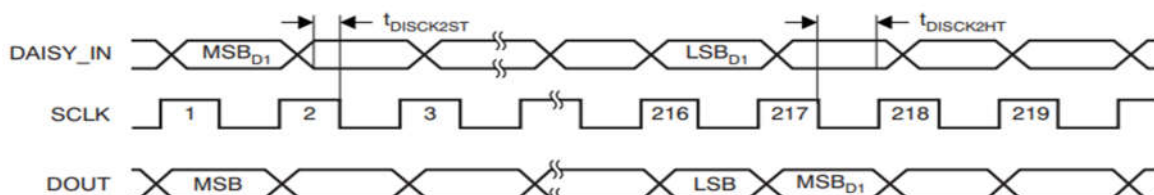


图 7.2 菊花链接口时序

8. 参数测量信息

8.1 噪声测量

通过调整数据速率和PGA增益可以优化CBM24AD99Q通道的噪声性能。降低数据速率和增加PGA增益都会引起输入噪声下降，这对测量微弱生物电位信号特别有用。

下表是采用5V模拟电源和4.5V参考电压情况下测得的CBM24AD99Q的噪声性能。这些数据代表TA = +25°C时的典型噪声性能。显示的数据是对来自多个芯片的读数进行平均的结果，并且是在输入短路的情况下测量的。至少使用了1000个连续读数来计算每个读数的RMS (μV_{RMS}) 和峰峰值 (μV_{PP}) 噪声。对于较低的数据速率，两者比率约为 6.6。

表8.1 不同配置下的输入参考噪声 (μV_{RMS} 、 μV_{PP})

CONFIG1 寄存器的 DR 位	输出数据 速率(SPS)	PGA增益=1		PGA增益=2		PGA增益=4		PGA增益=6		PGA增益=8		PGA增益=12		PGA增益=24	
		μV_{RMS}	μV_{PP}	μV_{RMS}	μV_{PP}	μV_{RMS}	μV_{RMS}	μV_{PP}	μV_{RMS}	μV_{PP}	μV_{PP}	μV_{RMS}	μV_{PP}	μV_{RMS}	μV_{PP}
000	16000	21.70	151.89	10.85	75.94	5.60	39.23	3.87	27.10	3.05	21.32	2.27	15.89	1.66	11.64
001	8000	6.93	48.53	3.65	25.52	1.98	13.87	1.31	9.19	1.11	7.80	0.92	6.41	0.80	5.57
010	4000	4.33	30.34	2.28	15.95	1.24	8.66	0.93	6.50	0.79	5.52	0.65	4.53	0.56	3.94
011	2000	3.06	21.45	1.61	11.29	0.88	6.13	0.66	4.60	0.56	3.90	0.46	3.20	0.40	2.79
100	1000	2.17	15.17	1.14	7.98	0.62	4.34	0.46	3.25	0.39	2.76	0.32	2.26	0.28	1.97
101	500	1.53	10.73	0.81	5.65	0.44	3.07	0.33	2.30	0.28	1.95	0.23	1.61	0.20	1.39
110	250	1.08	7.59	0.57	3.99	0.31	2.16	0.23	1.62	0.20	1.38	0.16	1.13	0.14	0.98

9. 详细描述

9.1 概述

CBM24AD99Q 是一款低噪声、低功耗、多通道、同时采样、24 位、 $\Delta\Sigma$ 模数转换器(ADC)芯片，集成了可编程增益放大器 (PGA)和各种特定于EEG的功能，非常适合于心电图 (ECG)、脑电图 (EEG) 应用。通过关闭 EEG 特定电路的电源，这些芯片还可用于高性能、多通道的数据采集系统。

该系列芯片具有高度可编程的多路复用器，可进行温度、电源、输入短路和偏置测量。此外，多路复用器允许将任何输入电极编程为参考驱动器。PGA 增益可以从七种设置（1、2、4、6、8、12 和 24）中选择。芯片中的 ADC 提供 250 SPS 至 16 kSPS 的数据速率。芯片通信使用 SPI 兼容接口完成，并提供四个通用输入/输出 (GPIO) 引脚。可以使用 START引脚同步多个芯片。

内部基准可生成低噪声 4.5 V 内部电压，内部振荡器可生成 2.048 MHz 时钟。多功能患者偏置驱动模块允许选择任何电极组合的平均值生成患者驱动信号。导联检测可以通过电流源来完成。

9.2 功能框图

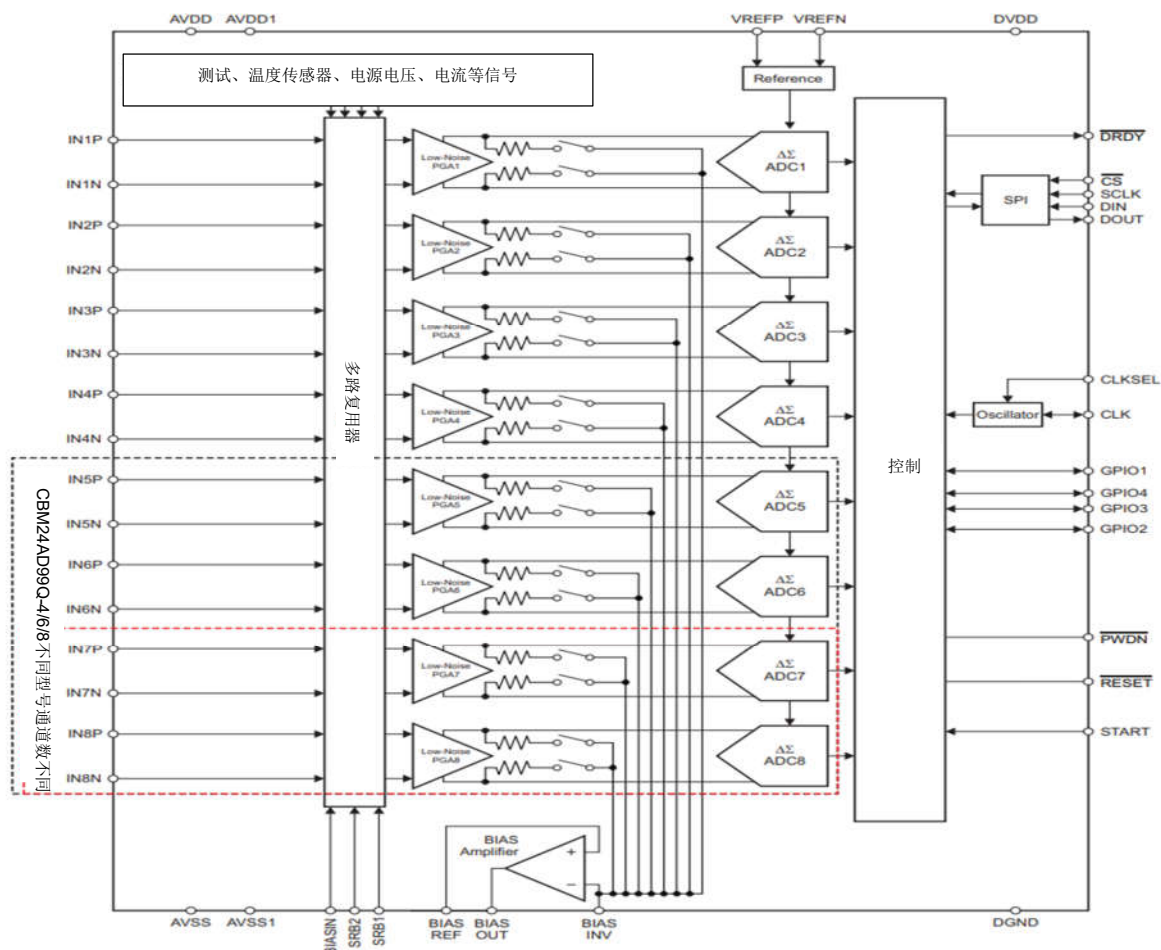


图 9.2.1 芯片整体框图

9.3 功能说明

本节说明CBM24AD99Q内部功能信息。其中， f_{CLK} 表示CLK引脚信号频率， t_{CLK} 表示CLK引脚信号周期， f_{DR} 表示输出数据速率， t_{DR} 表示输出数据时间周期， f_{MOD} 表示调制器采样输入的频率。

9.3.1 输入多路复用器

CBM24AD99Q中每个通道都有一个输入多路复用器（图9.3.1），通过配置提供灵活的信号切换选项。图中MAIN表示MUX[2:0]=000、110或111三种情况。

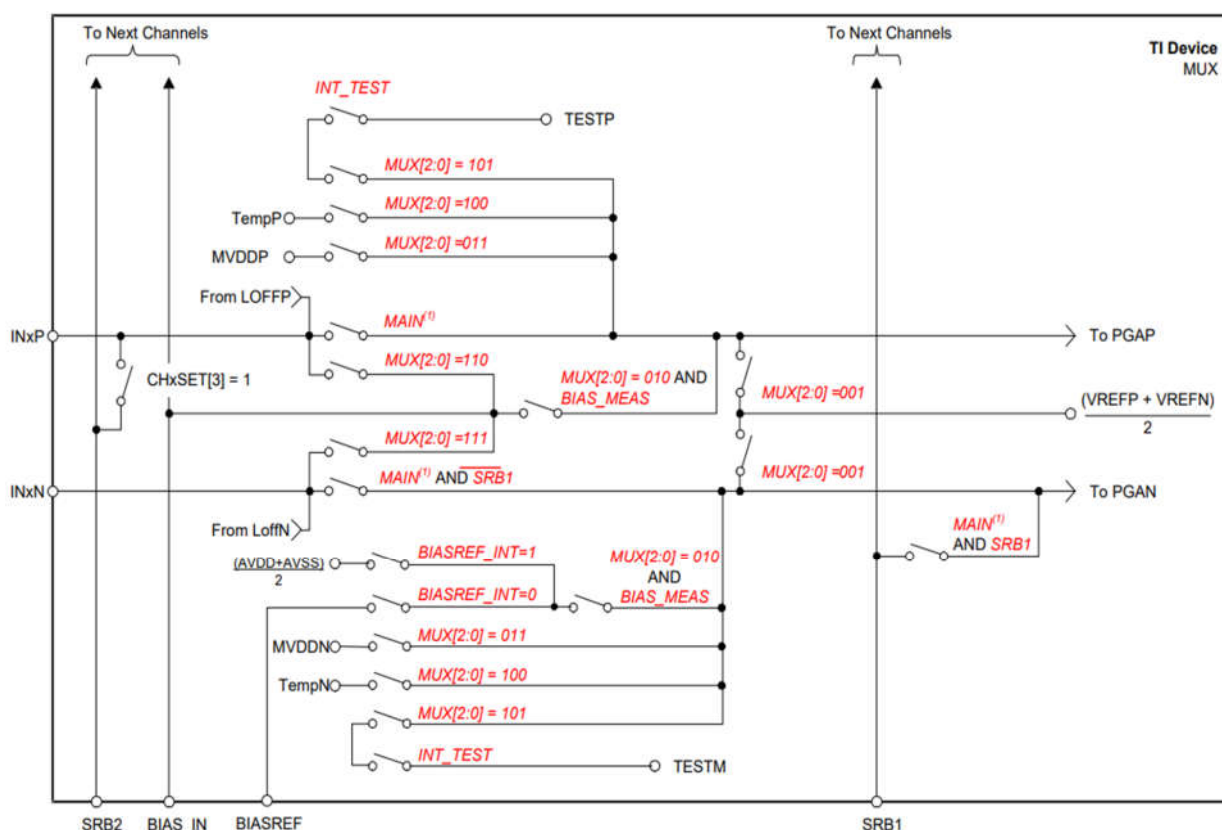


图 9.3.1 通道上的多路复用器

(1) 芯片噪声测量

设置CHnSET[2:0]=001可将通道的P/N端短接并将 $(V_{REFP} + V_{REFN})/2$ 的共模电压设置为两个通道输入。此设置可用于测试芯片的固有噪声。

(2) 测试信号（TestP和TestN）

设置CHnSET[2:0]=101可将内部生成的测试信号引入通道的P/N端。关于内部测试信号可参考CONFIG2寄存器说明。

(3) 温度传感器（TempP、TempN）

CBM24AD99Q包含一个片上温度传感器。该传感器使用两个内部二极管，其中一个二极管的电流密度是另一个二极管的16倍，如图9.3.2。二极管电流密度的差异产生与绝对温度成正比的电压差。由于封装对印刷电路板

(PCB)的热阻较低，因此内部芯片温度与PCB温度密切相关。请注意，CBM24AD99Q的自热会导致内部温度读数高于周围PCB 的温度。

设置CHnSET[2:0]=100可将温度传感器信号引入通道的P/N端。

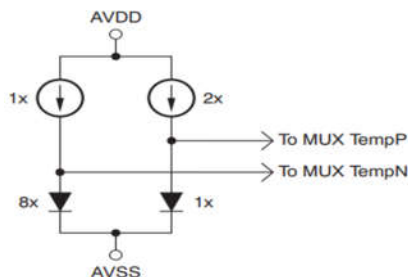


图 9.3.2 输入中的温度传感器测量

(4) 电源测量 (MVDDP、MVDDN)

设置CHnSET[2:0]=011会将通道输入设置为芯片的不同电源电压。对于通道 1、2、5、6、7 和 8，(MVDDP - MVDDN) 为 $[0.5 \times (AVDD + AVSS)]$ 。

对于通道 3 和 4，(MVDDP - MVDDN) 是 DVDD / 4。

为避免在测量电源时 PGA 饱和，请将增益设置为 1。

(5) Lead-Off激励信号 (LoffP, LoffN)

导联激励信号在开关之前馈入多路复用器。检测导联断开条件的比较器也连接到开关之前的多路复用器。详细说明请参阅导联脱落检测部分。

(6) 单端输入测量方式

设置CHnSET[2:0]=011或111可将BIASIN引脚的偏置信号路由到指定电极，从而将该通道用作单端输入通道。设置CHnSET[2:0]=010并将CONFIG3寄存器的BIAS_MEAS位设置为“1”可将BIASIN引脚上的信号相对于BIASREF引脚上的电压进行测量。

9.3.2 模拟输入

芯片的模拟输入通过多路复用器连接到低噪声、低漂移、高输入阻抗的可编程增益放大器。CBM24AD99Q模拟输入是全差分的。差分输入电压 ($V_{INxP} - V_{INxN}$) 的范围可以从 $-V_{REF}/\text{增益}$ 到 $V_{REF}/\text{增益}$ 。驱动CBM24AD99Q模拟输入的方法有两种：伪差分或全差分，如图9.3.3所示。

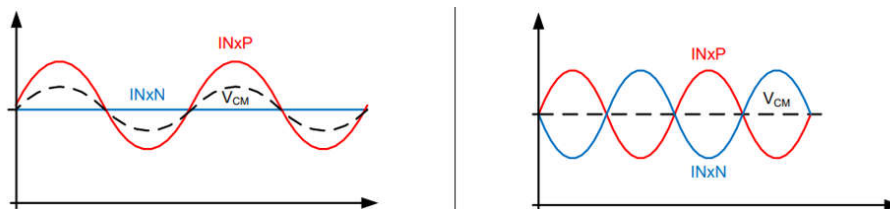


图 9.3.3 伪差分（左）和全差分（右）驱动方式

将INxN引脚保持在一个公共电压，最好是在中间电源，即为伪差分输入方式。将INxP引脚围绕公共电压 $-V_{REF}/\text{增益}$ 摆动至 $V_{REF}/\text{增益}$ ，并保持在绝对最大规格范围内。当输入配置为伪差分模式时，共模电压 (VCM) 会随着信号电平的变化而变化。需要保证信号在最小和最大处的差分信号满足共模输入规范。

将INxP和INxN上的信号配置为以共模电压(VCM)为中心的反向信号，即为全差分输入方法。INxP和INxN 输入都从公共电压 $+\frac{1}{2} V_{REF}/\text{增益}$ 摆动到公共电压 $-\frac{1}{2} V_{REF}/\text{增益}$ 。最大点和最小点处的差分电压等于 $-V_{REF}/\text{增益}$ 到 $V_{REF}/\text{增益}$ ，并以固定共模电压为中心。为获得最佳性能，建议将共模电压设置在模拟电源的中点，即 $[(AVDD + AVSS)/2]$ 。

9.3.3 PGA 设置和输入范围

低噪声PGA是一个差分输入和输出的放大器，增益设置（1、2、4、6、8、12 和 24）可以通过写入CHnSET进行配置。CBM24AD99Q输入采用CMOS，因此电流噪声可以忽略不计。表9.3.1展示了各种增益设置的典型带宽值。请注意，表中展示的是小信号带宽，对于大信号，性能受PGA压摆率限制。

表 9.3.1 PGA增益与带宽

获得	室温下的标称带宽 (kHz)
1	662
2	332
4	165
6	110
8	83
12	55
24	27

为了保持在PGA的线性工作范围内，输入信号必须满足：

$$AVDD - 0.2 V - \left(\frac{\text{Gain} \times V_{MAX_DIFF}}{2} \right) > CM > AVSS + 0.2 V + \left(\frac{\text{Gain} \times V_{MAX_DIFF}}{2} \right)$$

其中，VMAX_DIFF=PGA输入最大差分电压；CM=共模范围。比如：如果 $AVDD = 5 V$ ， $\text{Gain} = 12$ ，and $V_{MAX_DIFF} = 350 \text{ mV}$ ，则 $2.3 V < CM < 2.7 V$ 。差分输入电压范围（VINxP - VINxN）取决于系统中使用的模拟电源和参考电压以及增益，为 $-V_{REF}/\text{增益}$ 到 $V_{REF}/\text{增益}$ 。

9.3.4 ΔΣ 调制器

CBM24AD99Q中每个通道都有一个24位的 $\Delta \Sigma$ ADC。该转换器使用针对低噪声应用优化的二阶调制器。调制器以 $(f_{MOD} = f_{CLK}/2)$ 的速率对输入信号进行采样，芯片噪声被整形直到 $f_{MOD}/2$ ，如图9.3.4所示。

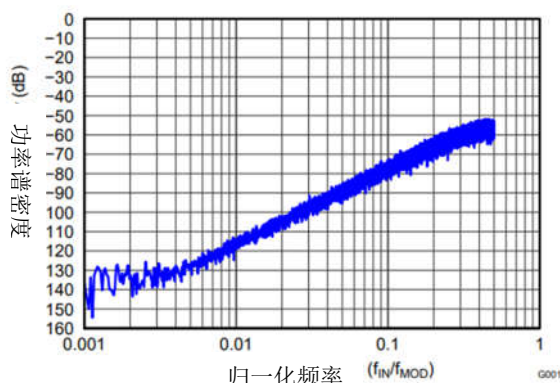


图 9.3.4 调制器噪声频谱

9.3.5 参考电压

CBM24AD99Q内部产生的参考电压通常为4.5V（基于AVSS）。使用内部参考电压时，将VREFN连接到AVSS。可以关闭内部基准缓冲器，并将外部基准应用于VREFP。图9.3.5展示了典型的外部参考驱动电路。可通过CONFIG3寄存器中的PD_REFBUF位来控制内部参考电路断电。当多个芯片级联时，可以通过断电来共享某个芯片的内部参考。默认情况下，芯片唤醒后使用外部参考。

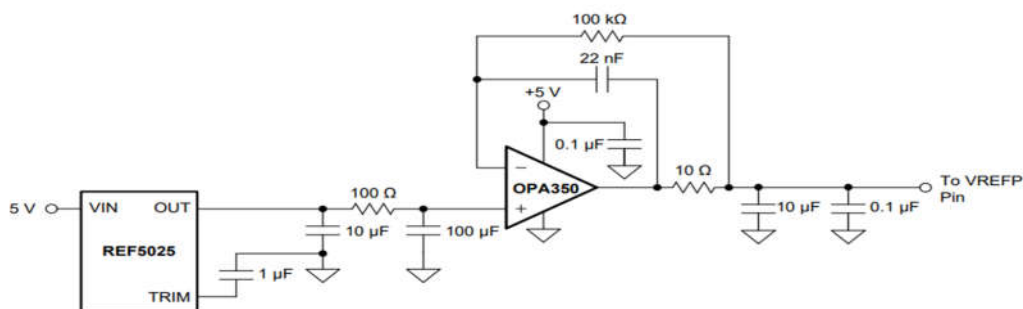


图 9.3.5 外部参考驱动器

9.3.6 数字抽取滤波器

数字滤波器接收调制器输出并抽取数据流。通过调整滤波参数，可以在分辨率和数据速率之间进行权衡：滤波越多可以获得越高的分辨率，滤波越少可以获得越高的数据速率。较高的数据速率通常用于EEG应用中的交流导联脱落检测。通道上的数字滤波器由一个三阶sinc滤波器组成。sinc滤波器抽取比可以通过CONFIG1寄存器中的DR位进行调整。此设置是影响所有通道的全局设置，因此，芯片中的所有通道都以相同的数据速率运行。该sinc滤波器是一个可变抽取率的三阶低通滤波器。数据以 f_{MOD} 的速率从调制器输入给滤波器，经过高频噪声滤波，将数据流抽取为 f_{DR} 的并行数据。sinc滤波器的Z域传递函数(N为抽取率)如下：

$$|H(z)| = \left| \frac{1 - z^{-N}}{1 - z^{-1}} \right|^3$$

图9.3.6/7是该滤波器的传输特性，横轴为归一化频率，纵轴为增益（dB）。

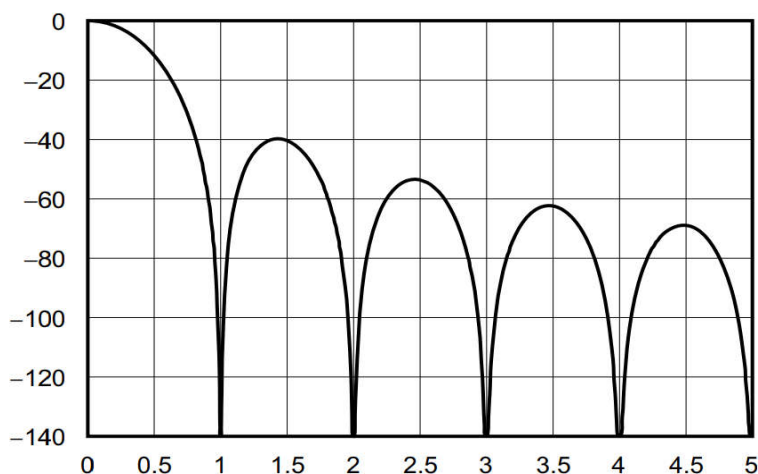


图 9.3.6 sinc传输特性(频率按 f_{IN}/f_{DR} 归一化)

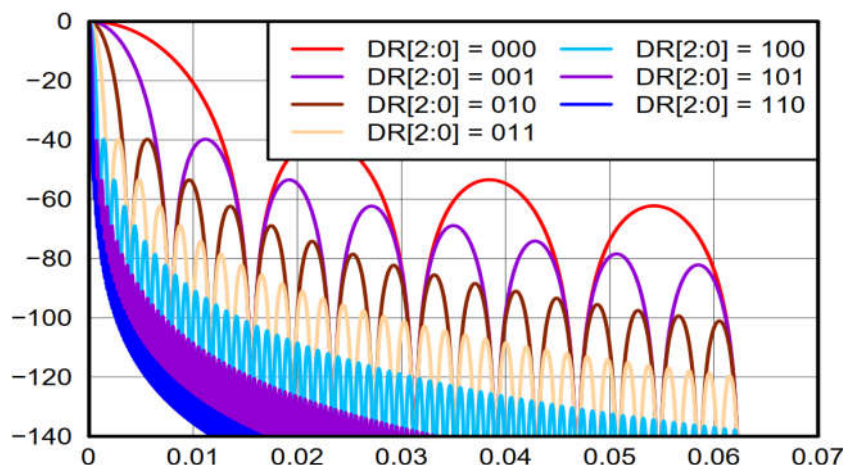


图 9.3.7 sinc传输特性(频率按 f_{IN}/f_{MOD} 归一化)

9.3.7 时钟

CBM24AD99Q提供内部和外部两种时钟方法。内部时钟适合低功耗、电池供电的系统。内部振荡器在室温下经过调整以确保精度。时钟选择由CLKSEL引脚和CLK_EN寄存器位控制。

CLKSEL引脚选择内部或外部时钟。CONFIG1寄存器中的CLK_EN位启用和禁用要在CLK引脚中输出的振荡器时钟。这两个引脚的真值表如表9.3.2所示。

表 9.3.2 CLKSEL 引脚和 CLK_EN 位

CLKSEL	CONFIG1.CLK_EN	时钟源	时钟引脚状态
0	X	外部时钟	输入：外部时钟
1	0	内部时钟振荡器	三态
1	1	内部时钟振荡器	输出：内部时钟振荡器

9.3.8 通用输入输出接口

CBM24AD99Q 在正常操作模式有四个通用数字I/O(GPIO) 引脚可用。该GPIO引脚可通过GPIOC位寄存器单独配置为输入或输出。GPIO寄存器中的GPIOD位控制引脚电平。读取GPIOD位时，返回的数据是引脚的逻辑电平，无论它们被编程为输入还是输出。当GPIO引脚配置为输入时，对相应GPIOD位的写入无效。当配置为输出时，写入GPIOD位可设置GPIO输出值。

9.3.9 偏置 (BIAS) 驱动电路

使用偏置 (BIAS) 电路驱动人体可以抵消EEG系统中由电源线和其他来源（包括荧光灯）引起的共模干扰。图9.3.8展示了偏置电路连接示例。偏置驱动的参考电压可以选择为内部生成 $[(AVDD + AVSS)/2]$ 或通过电阻分压器从外部提供。通过将适当的值写入CONFIG2寄存器中的BIASREF_INT位来定义偏置环路选择内部参考电压还是外部参考电压。通过配置BIAS_SENSEP/N选择对应的通道接入到偏置电路的BIASINV端。当为BIAS电路选择了适当的通道、反馈元件且在芯片外部环路闭合时，在BIASOUT引脚输出BIAS偏置信号。该信号可以在滤波后或直接馈入BIASIN引脚，如图9.12所示。通过将相应通道设置寄存器的MUX位设置为“110” / “111”可以将该BIASIN信号路由到指定的输入P侧/N侧电极。

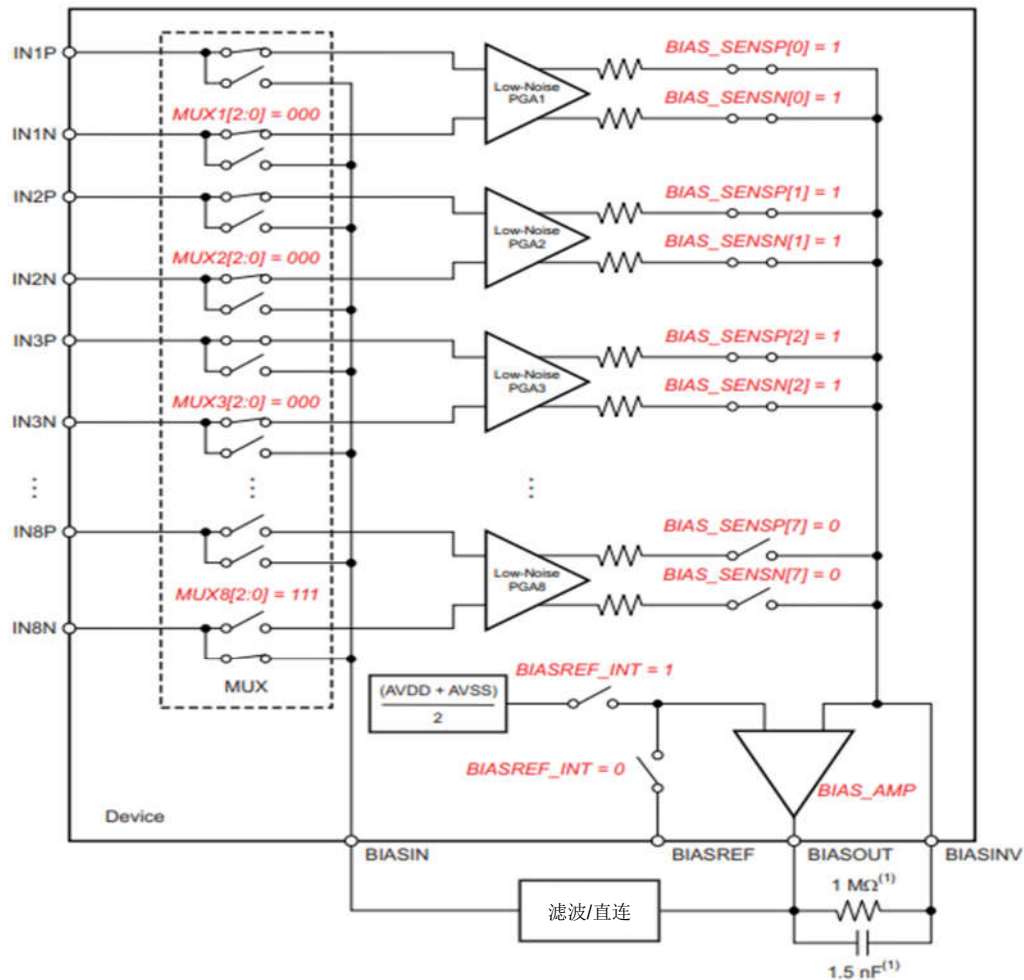


图 9.3.8 偏置驱动电路连接示例

可以使用CONFIG3的PD_BIAS位关闭偏置驱动功能。当以菊花链方式连接多个 CBM24AD99Q 芯片时，使用PD_BIAS位关闭除一个偏置放大器之外的所有偏置放大器。图9.3.9展示了连接偏置电路的多个芯片。

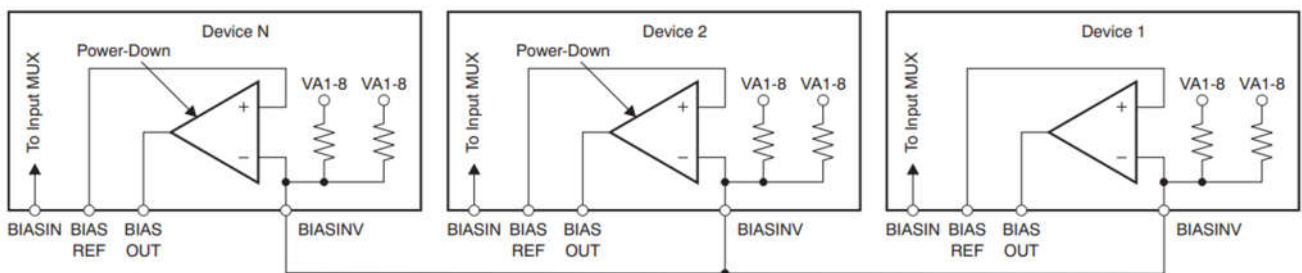


图 9.3.9 多个芯片的 BIAS 驱动连接

此外, BIASOUT信号可以路由到某个通道(不用于计算BIAS)进行测量。3.9.10显示了将BIASIN信号路由到通道8的寄存器设置。测量是参考BIASREF引脚上的电压完成的。如果BIASREF选择为内部,则BIASREF为 $[(AVDD + AVSS)/2]$ 。此功能可用于产品开发期间的调试目的。

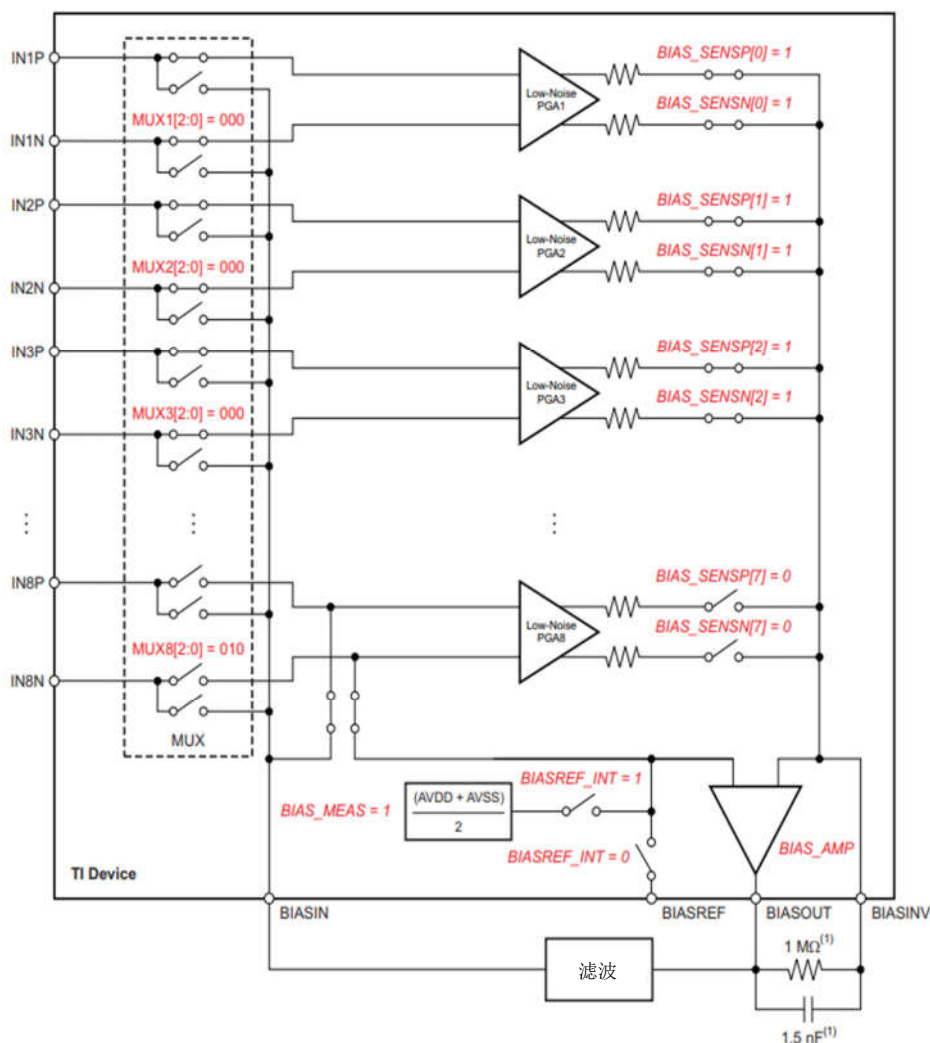


图 9.3.10 对BIASOUT信号进行测量的示例

9.3.10 激励参考 (SRB1/2) 驱动电路

CBM24AD99Q中除了BIASOUT信号可以作为单端输入的参考外，还有SRB1/2两个信号也可以作为单端输入的参考，图9.3.11是这两个信号的驱动电路。SRB2的驱动来自奇数通道，SRB1的驱动来自偶数通道，通道选择分别由SRB2_SEL和SRB1_SEL寄存器位控制。详见MISC1寄存器定义。请注意，从差分到单端转换时信号存在0.4的衰减，因此总增益等于 $(0.4 \times \text{PGA_GAIN})$ 。与BIASOUT信号不同的是，SRB1/2信号驱动在芯片内部已经构成闭环，因此可以直接使用，芯片外不必再接入闭环电路。

对SRB1而言，它只能由MISC1寄存器中的SRB1位控制路由到所有通道的负端（N端），信号由正端（P端）输入，与SRB1构成差分输入。

对SRB2而言，它可以由相应通道的CHnSET寄存器的SRB2位控制路由到相应通道的正端（P端），信号则由负端（N端）输入，与SRB2构成差分输入。注意，由负端输入的信号经通道采样输出后相位会反向。

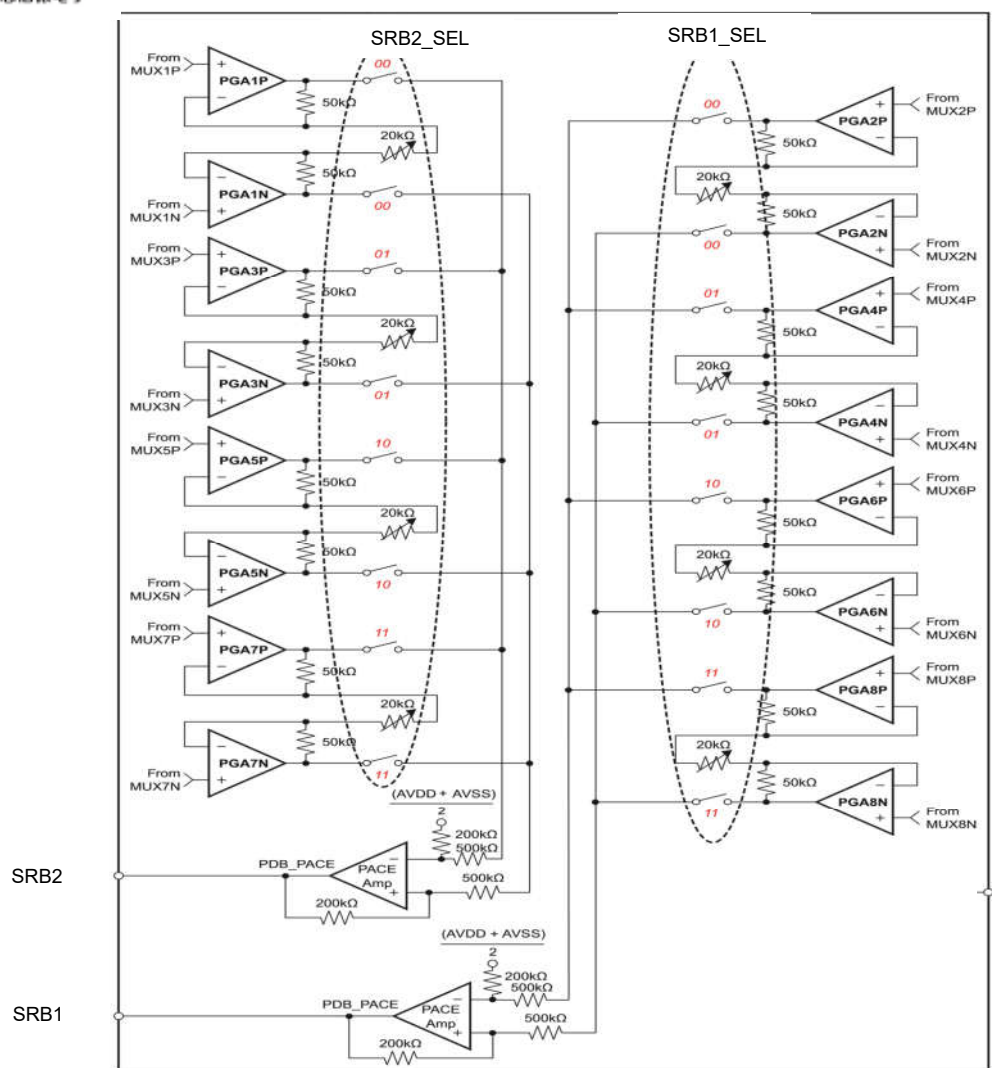


图 9.3.11 激励与参考 (SRB1/2) 驱动电路

9.3.11 导联脱落检测

电极与人体的接触阻抗会随时间增长发生变化或者在使用过程中脱落，所以必须持续监控电极与人体的连接情况，CBM24AD99Q导联脱落检测模块正是实现了这种功能。虽然称为导联脱落检测，但实际上是电极脱落检测。

导联脱落检测的基本原理是注入激励电流并测量电压以确定电极是否接触良好，如图9.3.12所示。该电路提供了两种不同的方法来确定电极的状态。这些方法的不同之处在于激励信号的频率成分。可以使用LOFF_SENSP和LOFF_SENSN寄存器选择需要检测的导联。

第一种方式是使用直流信号对导联激励。直流激励信号可以从外部上拉或下拉电阻器或内部电流源或吸收器中选择，如9.3.12所示。通道的一侧被拉至电源，另一侧被拉至地。通过设置LOFF_FLIP寄存器中相应的位，可以交换上拉和下拉电流。如果是使用电流源，则可以通过LOFF寄存器中的ILEAD_OFF[1:0]位设置电流幅度。与10-M Ω 上拉或下拉电阻器相比，电流源提供更大的输入阻抗。

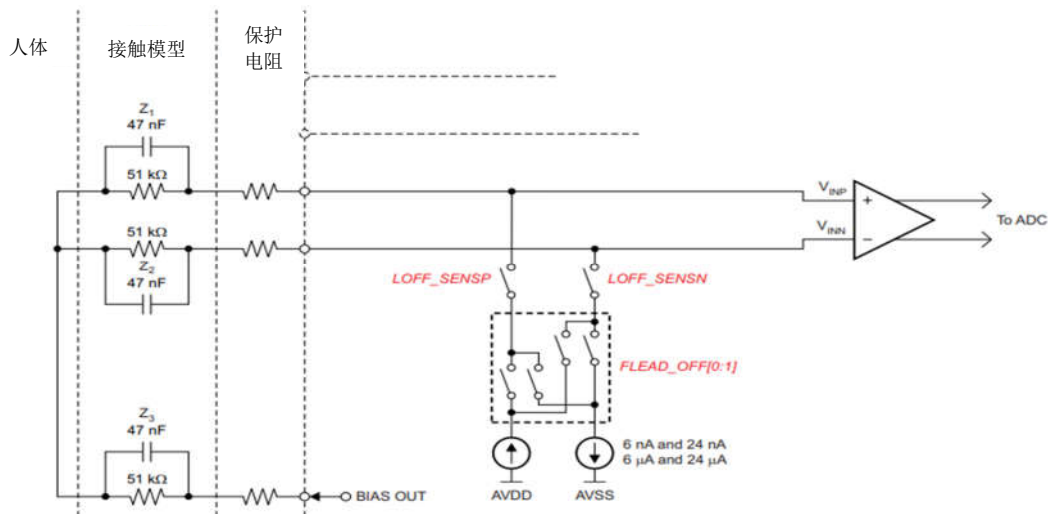


图 9.3.12 导联脱落检测

可以通过读取通道的输出代码或使用片上比较器来监测导联的连接情况。如果电极脱落，则上拉和下拉电阻会使通道饱和。使用比较器把输入电压和3位DAC电平进行比较来监测，DAC电平由LOFF寄存器中的COMP_TH[2:0]位设置。比较器的输出存储在LOFF_STATP和LOFF_STATN寄存器中。这些数据是输出数据流的一部分。（请参阅输出数据小节。）如果不使用直流导联检测，则可以通过设置CONFIG4寄存器中的PD_LOFF_COMP_位来关断比较器。

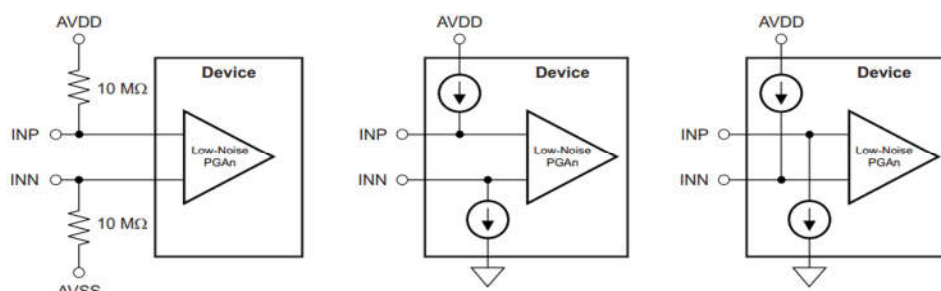


图 9.3.13 直流（DC）导联脱落检测选项

另一种方式是使用带内交流信号来激励导联。交流信号是通过在输入端交替提供一个固定频率的电流源来产生的。频率可以通过LOFF寄存器中的FLEAD_OFF[1:0]位来选择（7.8 Hz 或31.2 Hz）。该带内激励信号通过通道采集并在输出端进行读取。交流激励信号引入了感兴趣的频带内的频率，信号可以单独过滤和处理。通过测量激励信号频率下的输出幅度，可以计算出电极阻抗。对于连续导联脱落检测，可以把带外交流电流从外部施加到输入端，然后对该信号进行数字处理以确定电极阻抗。

9.3.12 偏置脱落检测

在CBM24AD99Q正常操作期间，不能使用BIAS偏置脱落检测功能，因为检测必须关闭BIAS偏置驱动放大器。如图9.3.14所示，CBM24AD99Q使用电流源和比较器来确定BIAS电极连接状态。当BIAS放大器上电时，电流源不起作用。通过设置比较器的参考电平可以确定可接受的BIAS阻抗阈值，此阈值的设置与其他信号负端输入阈值设置相同，均采用LOFF[7:5]位来设置。

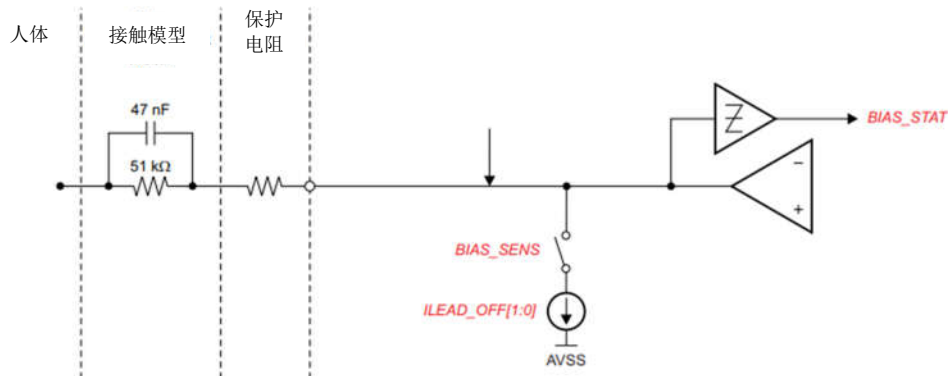


图 9.3.14 偏置BIAS导联脱落检测

9.4 芯片功能模式

9.4.1 开始（START）

将START引脚拉高至少2个 t_{CLK} 周期，或发送START命令可以开始模数转换。当START为低且未发送START命令时，芯片不会发出DRDY_信号（转换被暂停）。使用START命令控制转换时，将START引脚保持为低电平。CFY-A99具有两种控制转换的模式：连续模式和单次模式，由SINGLE_SHOT（CONFIG4寄存器的第3位）选择。在多芯片配置中，START引脚用于同步芯片。

稳定时间(t_{SETTLE})是当开始模数转换后输出完全稳定数据所需的时间。当START被拉高时，DRDY_也被拉高。下一个DRDY_下降沿表示数据准备就绪。图9.4.1显示了时序图，表9.4.1列出了不同数据速率的稳定时间。稳定时间取决于 f_{CLK} 和降采样率（由CONFIG1寄存器中的DR[2:0]位控制）。初始稳定时间过后，DRDY_下降，表示数据转换好，并以设置的数据速率 t_{DR} 出现。如果在下一个数据转换好之前DOUT上没有读回数据，则DRDY_变高4个 t_{CLK} ，然后返回低电平表示新数据准备就绪。请注意，当START保持高电平且输入信号出现阶跃变化时，滤波器需要 $3 \times t_{DR}$ 才能稳定到新值。稳定的数据在第四个DRDY_下降沿准备好。

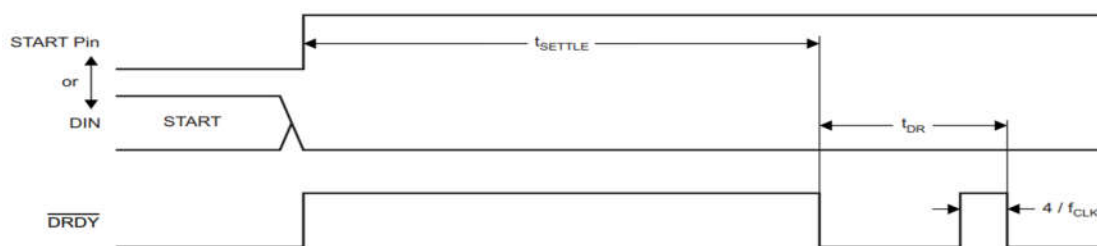


图9.4.1 稳定时间

表9.4.1 不同数据速率的建立时间

DR[2:0]	正常模式	单位
000	521	t_{CLK}
001	1033	t_{CLK}
010	2057	t_{CLK}
011	4105	t_{CLK}
100	8201	t_{CLK}
101	16393	t_{CLK}
110	32777	t_{CLK}

9.4.2 复位 (RESET_)

有两种方法可以复位重置CBM24AD99Q：将RESET_引脚拉低，或发送RESET命令。使用RESET_引脚时，确保在将引脚拉回高电平之前遵循最小脉冲持续时间时序规范。RESET命令在命令的第8个SCLK下降沿生效。复位后，需要18个 t_{CLK} 周期来完成配置寄存器到默认状态的初始化并开始转换周期。请注意，在使用WREG命令将CONFIG1寄存器设置为新值时会自动向数字滤波器发出内部复位。

9.4.3 断电 (PWDN_)

当PWDN_被拉低时，所有片上电路都被关断。要退出断电模式，请将PWDN_引脚拉高。从断电模式退出后，内部振荡器和参考需要时间来唤醒。断电期间，建议关闭外部时钟以节省功耗。

9.4.4 数据采集

(1) 数据就绪 (DRDY_)

DRDY_是一个输出信号，它从高电平转换为低电平，表示新的转换数据已准备就绪。CS_信号对数据就绪信号没有影响。DRDY_行为取决于芯片是处于RDATAC模式还是使用RDATA命令按需读取数据。使用RDATA命令读取数据时，读取操作可以与下一次DRDY_发生重叠，而不会损坏数据。START引脚或START命令将芯片置于正常数据捕获模式或脉冲数据捕获模式。

图9.4.2显示了数据读取时DRDY_、DOUT和SCLK之间的关系。DOUT在SCLK上升沿被锁存。DRDY_在SCLK下降沿被拉高。请注意，无论是读取数据还是通过DIN引脚发送命令，DRDY_在第一个SCLK下降沿都会变高。

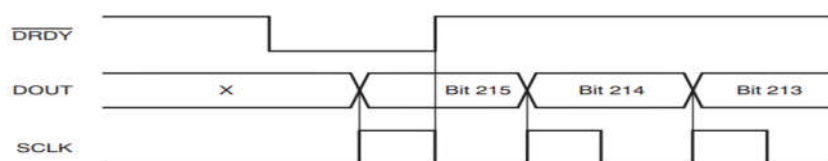


图 9.4.2 带有数据检索的 DRDY_ (CS = 0)

(2) 数据读取

数据读取可以通过以下两种方法之一完成：

- 1、RDATAC：连续读取数据命令将芯片设置为连续读取模式，每次数据转换完成后新数据会自动加载到输出移位寄存器中而不用发送命令。有关更多详细信息，请参阅 [RDATAC：连续读取数据](#) 部分。
- 2、RDATA：读取数据命令需要向芯片发送命令，以将最新数据加载到输出移位寄存器中。有关更多详细信息，请参阅 [RDATA：读取数据](#) 部分。

通过在DOUT上移出数据来读取转换数据。DOUT上数据的MSB在第一个SCLK上升沿输出。DRDY_在第一个SCLK下降沿返回高电平。对于整个读取操作，DIN应保持低电平。

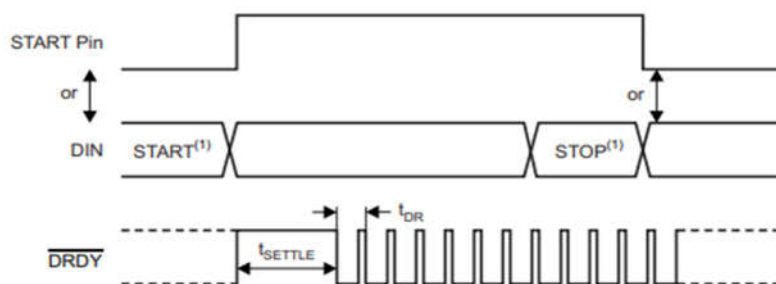
数据输出中的位数取决于通道数和每个通道的位数。对于8通道CBM24AD99Q，数据输出数量为[(24状态位 + 24位×8通道) = 216位]。24个状态位的格式为：(1100 + LOFF_STATP + LOFF_STATN + GPIO寄存器的bits[4:7])。每个通道数据的数据格式为MSB在前的二进制补码。当使用用户寄存器设置关闭通道时，相应的通道输出设置为“0”。但是，通道输出顺序保持不变。

CBM24AD99Q还提供多重回读功能。通过在RDATAC模式下简单地提供更多SCLK，可以多次读取数据，在这种情况下，MSB数据字节在读取最后一个字节后重复。对于多次回读，CONFIG1寄存器中的DAISY_EN_位必须设置为“1”。

9.4.5 连续转换模式

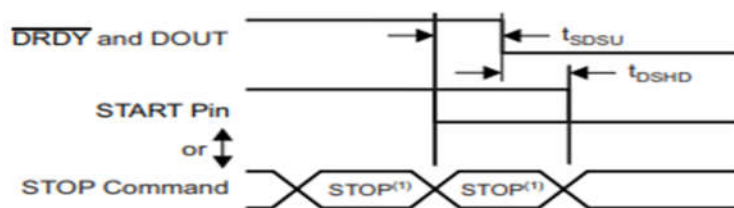
当START引脚拉高或发送START命令时，转换开始。如9.4.3所示，DRDY_输出在转换开始时变高，在数据准备好时变低。转换将无限期地继续，直到START引脚变为低电平或发送STOP命令。当START引脚被拉低或发出STOP命令时，允许完成正在进行的转换。图9.4.4和表9.4.2展示了数据转换中START引脚或START和STOP命令到DRDY_信号的时序。 t_{SDSU} 指示何时将START引脚拉低或何时在DRDY_下降沿之前发送STOP命令以停止进一步的转换。 t_{DSHD} 指示何时将START引脚拉低或在DRDY_下降沿后发送STOP命令以完成当前转换并停止进一步的转换。为了保持转换器连续运行，START引脚可以一直保持为高电平。

当从Single-Shot模式切换到连续转换模式时，将START信号拉低再拉高，或发送STOP命令然后发送START命令。这种转换模式适合需要固定的连续转换的应用。



(1) START和STOP命令在第7个 SCLK 下降沿生效。

图 9.4.3 连续转换模式



(1) START和STOP命令在命令结束的第七个 SCLK 下降沿生效。

图 9.4.4 START 到 DRDY 时序

表 9.4.2 时序特性

	最小	单位
t_{SDSU} 停止进一步转换的START引脚为低电平或STOP命令到 $\overline{DRDY}$ 的保持时间	16	t_{CLK}
t_{DSHD} START引脚低电平或STOP命令到完成当前转换的时间	16	t_{CLK}

9.4.6 单发（SINGLE-SHOT）模式

通过将CONFIG4寄存器中的SINGLE_SHOT位设置为“1”来启用单次模式。在单发模式下，当START引脚拉高或发送START命令时，CBM24AD99Q执行一次转换。如图9.4.5所示，转换完成后，DRDY_变低并停止进一步的转换。无论是否读取转换数据，DRDY_都保持低电平。要开始新的转换，将START引脚拉低然后再拉高，或者再次发送START命令。从连续转换模式切换到单次模式时，将START信号拉低再拉高或发送STOP命令后再发送START命令。

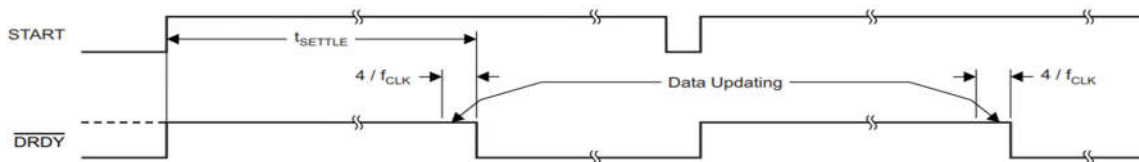


图 9.4.5 DRDY_ 在 SINGLE-SHOT 模式下没有数据恢复

这种转换模式适合需要非标准或非连续数据速率的应用。发出START命令或将START引脚切换为高电平会重置数字滤波器，从而有效地将数据速率降低四倍。这种模式主机处理器上的负载会增加，因为处理器必须切换START引脚或发送START命令以启动新的转换周期。

9.5 编程

9.5.1 数据格式

该芯片24位数据以二进制补码格式表示。一个最低位表示的电压大小 (LSB) 使用如下公式计算：

$$1 \text{ LSB} = (2 \times V_{\text{REF}} / \text{增益}) / 2^{24} = +\text{FS} / 2^{23}$$

正满量程输入产生7FFFFFFh的输出代码，负满量程输入产生800000h的输出代码。对于超过满量程的信号，输出在这些代码处削波。下表总结了不同输入信号的理想输出代码。

表 9.5.1 理想输出代码与输入信号

输入信号, VIN (INxP -INxN)	理想的输出代码
$\geq \text{FS}$	7FFFFFFh
$+\text{FS} / (2^{23} - 1)$	000001h
0	000000h
$-\text{FS} / (2^{23} - 1)$	FFFFFFh
$\leq -\text{FS} / (2^{23} - 1)$	800000h

9.5.2 SPI接口

SPI兼容串行接口由四个信号组成：CS_、SCLK、DIN 和 DOUT，用来读取转换数据，读取和写入寄存器，并控制CBM24AD99Q操作。数据就绪输出DRDY_用作状态信号以指示数据何时就绪。当新数据可用时，DRDY_变低。

(1) 片选 (CS_)

CS_引脚激活SPI通信。CS_在数据传输之前必须为低电平，并且必须在整个SPI通信周期内保持低电平。当CS_为高电平时，DOUT引脚进入高阻态。因此，对串行接口的读写将被忽略并重置串行接口。DRDY_引脚操作独立于CS_。即使CS_为高电平，DRDY_仍表示新的转换已完成并被强制为高电平作为对SCLK的响应。

将CS_设置为高电平会停止SPI通信，并且串行接口会复位。数据转换继续进行，可以监视DRDY_信号以检查新的转换结果是否准备就绪。监视DRDY_信号的主设备可以通过将CS_引脚拉低来选择合适的从芯片。串行通信完成后，在将CS_拉高之前需要等待四个或更多 t_{CLK} 周期。

(2) 串行时钟 (SCLK)

SCLK为串行通信提供时钟。SCLK是施密特触发器输入，但建议尽可能使SCLK没有噪声，以防止毛刺无意中移动数据。数据在SCLK的下降沿移入DIN，并在SCLK的上升沿移出DOUT。

当使用SCLK转移命令时，确保将所有的SCLK时钟发送到芯片。如果不这样做，可能会导致芯片SPI串行接口

进入未知状态，需要将CS₁拉高才能恢复。

对于单个芯片，SCLK所需的最低速度取决于通道数、分辨率位数和输出数据速率。对于多个级联芯片，SCLK时钟频率需要确保在数据准备就绪时间间隔内能读出所有通道的数据。数据采集可以通过将芯片置于RDATAC模式或通过发出RDATA命令来完成。

(3) 数据输入(DIN)

DIN与SCLK一起用于向芯片发送数据。DIN上的数据在SCLK的下降沿移入芯片。

该芯片的通信本质上是全双工的。即使在数据移出时，芯片也会监视移入的命令。发送命令时，输出移位寄存器中存在的被移出。因此，在移出数据时，请确保在DIN引脚上发送的任何内容都是有效的。当读取数据时不向芯片发送命令时，在DIN上发送NOP命令。

(4) 数据输出(DOUT)

DOUT与SCLK一起使用以从芯片中读取转换数据和寄存器数据。数据在SCLK的上升沿输出，MSB在前。当CS₁为高电平时，DOUT进入高阻状态。图9.5.1展示了CBM24AD99Q数据输出协议。

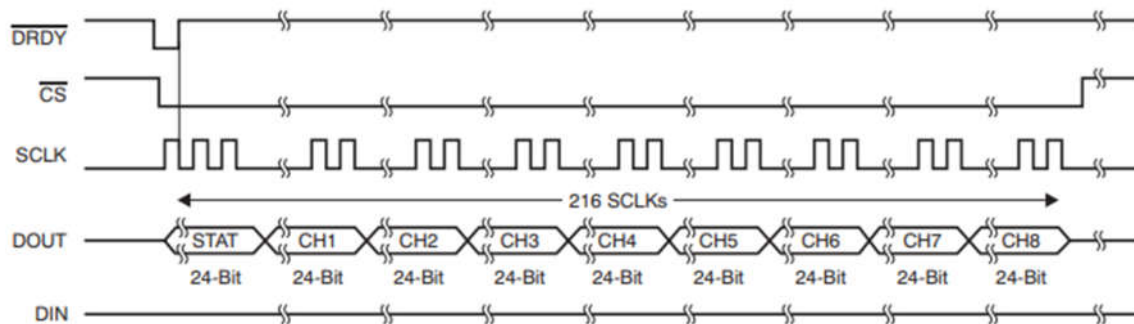


图 9.5.1 SPI总线数据输出

9.5.3 SPI命令定义

CBM24AD99Q提供了灵活的配置控制。表9.5.2中列举了命令控制和配置芯片的操作。除了寄存器读取和写入操作需要在第二个命令字节加上数据，其它命令都是独立。CS₁可以在命令之间拉高或保持低电平，但必须在整个命令操作中保持低电平（尤其是多字节命令）。系统命令和RDATA命令由芯片在第七个SCLK下降沿解码。寄存器读写命令在第8个SCLK下降沿解码。发出命令后拉高CS₁时，请务必遵循 SPI 时序要求。

表 10. 命令定义

命令	说明	第一个字节	第二个字节
系统命令			
NOP	无操作	00000000 (00h)	
WAKEUP	从待机模式唤醒	00000010 (02h)	
STANDBY	进入待机模式	00000100 (04h)	
RESET	复位/重置芯片	00000110 (06h)	
START	启动和重新启动（同步）转换	00001000 (08h)	
STOP	停止转换	00001010 (0Ah)	
数据读取命令			
RDATAC	启用读取数据连续模式。 此模式是上电时的默认模式。 ⁽¹⁾	00010000 (10h)	
SDATAC	停止连续读取数据模式	00010001 (11h)	

RDATA	通过命令读取数据；支持多次回读。	00010010 (12h)	
寄存器读取命令			
RREG	从地址 r $rrrr$ 开始读取 n $nnnn$ 个寄存器	001 r $rrrr$ (2xh) ⁽²⁾	000 n $nnnn$ ⁽²⁾
WREG	从地址 r $rrrr$ 开始写入 n $nnnn$ 个寄存器	010 r $rrrr$ (4xh) ⁽²⁾	000 n $nnnn$ ⁽²⁾

(1) 在 RDATA 模式下，将忽略RREG命令。

(2) n $nnnn$ = 要读取或写入的寄存器数 - 1。例如，要读取或写入三个寄存器，请设置 n $nnnn$ = 0 (0010)。 r $rrrr$ = 读取或写入命令的起始寄存器地址。

(1) 发送多字节命令

CBM24AD99Q串行接口以字节为单位解码命令，需要4个 t_{CLK} 周期来解码和执行。因此，在发送多字节命令（如RREG或WREG）时必须将一个字节（或命令）的结尾与下一个字节（或命令）的结尾分开4 t_{CLK} 周期。

假设 CLK为2.048 MHz，则 $t_{SDECODE}$ (4 t_{CLK}) 为 1.96 μ s。当 SCLK为16MHz时，1个字节可以在500ns (0.5 μ s) 内传输。此字节传输时间不符合 $t_{SDECODE}$ 规范；因此，必须插入一个延迟，以便第二个字节的结尾在 1.46 μ s 后到达。如果 SCLK 为 4 MHz，则在 2 μ s 内传输一个字节。由于此传输时间超过了 $t_{SDECODE}$ 规范，因此处理器可以无延迟地发送后续字节。

(2) WAKEUP：退出待机模式

WAKEUP 命令退出低功耗待机模式。**此命令没有SCLK速率限制，可以随时发出。**任何后续命令都必须在4 个 t_{CLK} 周期延迟后发送。

(3) STANDBY：进入待机模式

STANDBY命令进入低功耗待机模式。除参考部分外，电路的所有部分都关闭。**此命令没有SCLK速率限制，可以随时发出。**芯片进入待机模式后，不要发送唤醒命令以外的任何其他命令。

(4) RESET：将寄存器重置为默认值

RESET命令重置数字滤波器周期并将所有寄存器设置返回到默认值。**此命令没有 SCLK 速率限制，可以随时发出。**执行RESET命令需要18个 t_{CLK} 周期，避免在此期间发送任何命令。

(5) START：开始转换

START命令启动数据转换。需要将START引脚拉低以通过命令控制转换。如果正在进行转换，则此命令无效。STOP命令停止转换。如果START命令后紧跟STOP命令，则它们之间必须有4个 t_{CLK} 周期延迟。当向芯片发送START命令时，将START引脚保持为低电平，直到发出STOP命令。**此命令没有 SCLK 速率限制，可以随时发出。**

(6) STOP：停止转换

STOP命令停止转换。将START引脚拉低以通过命令控制转换。当发送STOP命令时，正在进行的转换完成并停止进一步的转换。如果转换已停止，则此命令无效。**此命令没有 SCLK 速率限制，可以随时发出。**

(7) RDATA：连续读取数据

RDATA命令在每个DRDY_上启动转换数据输出，而无需发出后续读取数据命令。这种模式将转换数据放在输出寄存器中，可以直接移出。读取数据连续模式为芯片默认模式，芯片在上电时默认为该模式。

RDATA模式被停止读取数据连续命令取消。如果芯片处于RDATA模式，则必须先发出SDATA命令，然后将任何其他命令发送到芯片。此命令没有SCLK速率限制，但是，后续数据读取SCLK或SDATA命令应在完成前至少等待4个 t_{CLK} 周期（参见**发送多字节命令**部分）。RDATA时序如图9.5.2所示，在无法发出此命令的DRDY_脉冲周围有一个4个 t_{CLK} 周期的禁止区域。要在发出RDATA命令后从芯片读取数据，请确保START引脚为高电平或发出START 命令。

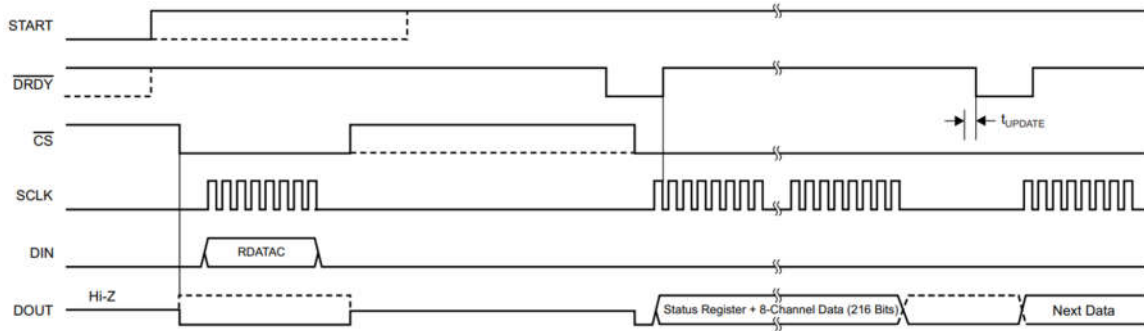


图 9.5.2 RDATAAC命令的用法

(8) SDATAC: 停止读取数据连续

SDATAC命令取消读取数据连续模式。此命令没有SCLK速率限制，但下一个命令必须等待4个 t_{CLK} 周期才能完成。

(9) RDATA: 读取数据

当不处于连续读取数据模式时，RDATA命令使最新数据加载到输出移位寄存器。在DRDY_变低后发出此命令以读取转换结果。此命令没有SCLK速率限制，后续命令或数据读取SCLK不需要等待时间。要在发出RDATA命令后从芯片读取数据，请确保START引脚为高电平或发出START命令。使用RDATA命令读取数据时，读取操作可以与下一次DRDY_发生重叠，而不会损坏数据。图9.5.3展示了使用RDATA命令的用法。

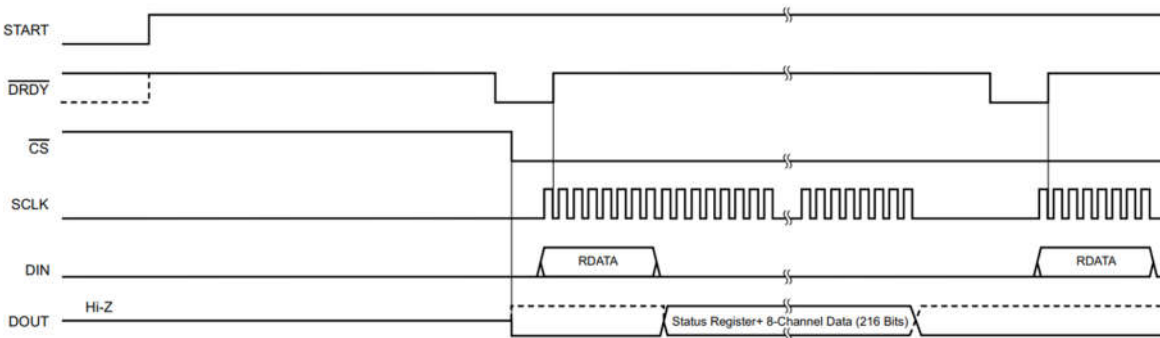


图 9.5.3 RDATA命令的用法

(10) RREG: 从寄存器读取数据

该命令读取寄存器数据。寄存器读取命令是一个两字节命令，后跟寄存器数据输出。第一个字节包含命令和寄存器地址。第二个命令字节指定要读取的寄存器数量 - 1。

第一个命令字节：001r rrrr，其中r rrrr是起始寄存器地址。

第二个命令字节：000n nnnn，其中n nnnn是要读取的寄存器数量 - 1。

操作的第 17 个 SCLK 上升沿输出第一个寄存器的MSB，如图9.5.4所示。当芯片处于读取数据连续模式时，必须先发出 SDATAC 命令，然后才能发出 RREG 命令。可以随时发出 RREG 命令。但是，由于该命令是多字节命令，因此SCLK的发出需要满足 $t_{SDECODE}$ 时序，因此存在SCLK速率限制。请注意，整个命令期间CS_必须为低电平。

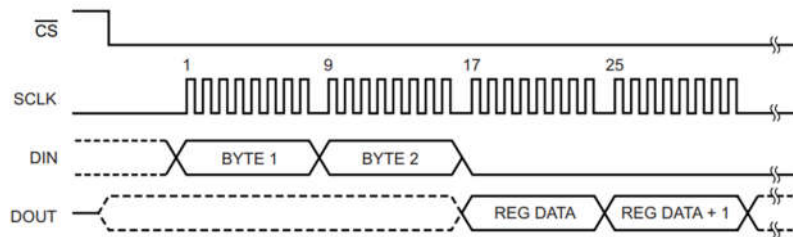


图 9.5.4 RREG命令示例：从寄存器 00h（ID 寄存器）开始读取两个寄存器（BYTE1 = 0010 0000，BYTE 2 = 00000001）

（11）WREG：数据写入寄存器

该命令写入寄存器数据。寄存器写入命令是一个两字节命令，后跟寄存器数据输入。第一个字节包含命令和寄存器地址。第二个命令字节指定要写入的寄存器数量-1。

第一个命令字节：010r rrrr，其中 r rrrr 是起始寄存器地址。

第二个命令字节：000n nnnn，其中 n nnnn 是要写入的寄存器数量-1。

命令字节之后是寄存器数据（MSB 优先格式），如图9.5.5所示。WREG命令可以随时发出，但是，由于该命令是多字节命令，因此SCLK的发出需要满足 $t_{SDECODE}$ 时序，因此存在SCLK速率限制。请注意，整个命令期间CS_必须为低电平。

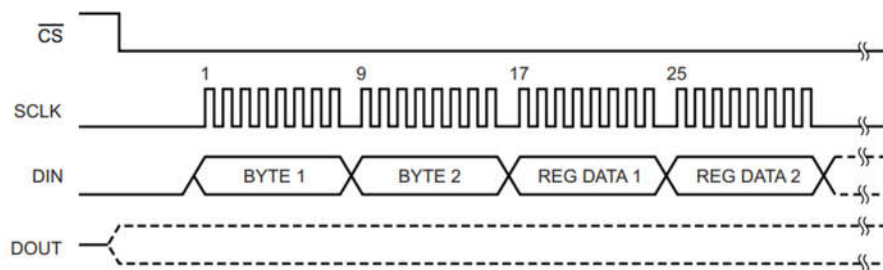


图 9.5.5 WREG命令示例：从 00h（ID 寄存器）开始写入两个寄存器（BYTE 1 = 0100 0000，BYTE2 = 0000 0001）

9.6 寄存器定义

表9.6.1 说明了各种 CBM24AD99Q 寄存器。

表 9.6.1 寄存器分配

地址	登记	默认设置	寄存器位							
			7	6	5	4	3	2	1	0
只读 ID 寄存器										
00h	ID	xxh	REV_ID[2:0]			1	DEV_ID[1:0]		NU_CH [1: 0]	
跨渠道的全局设置										
01h	CONFIG1	96h	1	DAISY_EN_	CLK_EN	1	0	DR[2:0]		
02h	CONFIG2	C0h	1	1	0	INT_CAL	0	CAL_AMPO	CAL_FREQ[1:0]	
03h	CONFIG3	60h	PD_REFBUF_	1	1	BIAS_MEAS	BIASREF_INT	PD_BIAS_	BIAS_LOFF_SENS	BIAS_STAT
04h	LOFF	00h	COMP_TH[2:0]			0	ILEAD_OFF[1:0]		FLEAD_OFF[1:0]	

通道特定设置										
05h	CH1SET	61h	PD1	GAIN1[2:0]			SRB2	MUX1[2:0]		
06h	CH2SET	61h	PD2	GAIN2[2:0]			SRB2	MUX2[2:0]		
07h	CH3SET	61h	PD3	GAIN3[2:0]			SRB2	MUX3[2:0]		
08h	CH4SET	61h	PD4	GAIN4[2:0]			SRB2	MUX4[2:0]		
09h	CH5SET ⁽¹⁾	61h	PD5	GAIN5[2:0]			SRB2	MUX5[2:0]		
0Ah	CH6SET ⁽¹⁾	61h	PD6	GAIN6[2:0]			SRB2	MUX6[2:0]		
0Bh	CH7SET ⁽²⁾	61h	PD7	GAIN7[2:0]			SRB2	MUX7[2:0]		
0Ch	CH8SET ⁽²⁾	61h	PD8	GAIN8[2:0]			SRB2	MUX8[2:0]		
0Dh	BIAS_SENSP	00h	BIASP8 ⁽²⁾	BIASP7 ⁽²⁾	BIASP6 ⁽¹⁾	BIASP5 ⁽¹⁾	BIASP4	BIASP3	BIASP2	BIASP1
0Eh	BIAS_SENSN	00h	BIASN8 ⁽²⁾	BIASN7 ⁽²⁾	BIASN6 ⁽¹⁾	BIASN5 ⁽¹⁾	BIASN4	BIASN3	BIASN2	BIASN1
0Fh	LOFF_SENSP	00h	LOFFP8 ⁽²⁾	LOFFP7 ⁽²⁾	LOFFP6 ⁽¹⁾	LOFFP5 ⁽¹⁾	LOFFP4	LOFFP3	LOFFP2	LOFFP1
10h	LOFF_SENSN	00h	LOFFM8 ⁽²⁾	LOFFM7 ⁽²⁾	LOFFM6 ⁽¹⁾	LOFFM5 ⁽¹⁾	LOFFM4	LOFFM3	LOFFM2	LOFFM1
11h	LOFF_FLIP	00h	LOFF_FLIP8 ⁽²⁾	LOFF_FLIP7 ⁽²⁾	LOFF_FLIP6 ⁽¹⁾	LOFF_FLIP5 ⁽¹⁾	LOFF_FLIP4	LOFF_FLIP3	LOFF_FLIP2	LOFF_FLIP1
引线断开状态寄存器（只读寄存器）										
12h	LOFF_STATP	00h	IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
13h	LOFF_STATN	00h	IN8M_OFF	IN7M_OFF	IN6M_OFF	IN5M_OFF	IN4M_OFF	IN3M_OFF	IN2M_OFF	IN1M_OFF
GPIO 和其他寄存器										
14h	GPIO	0Fh	GPIOD[4:1]				GPIOC[4:1]			
15h	MISC1	00h	0	0	SRB1	0	0	0	0	0
16h	MISC2	00h	0	0	0	0	0	0	0	0
17h	CONFIG4	00h	0	0	0	0	SINGLE_SHOT	0	PD_LOFF_COMP_	0

(1) 寄存器或位仅在 CBM24AD99Q-6 和 CBM24AD99Q 中可用。CBM24AD99Q-4 中的寄存器位设置为 0h 或 00h。

(2) 寄存器或位仅在 CBM24AD99Q 中可用。CBM24AD99Q-4 和CBM24AD99Q-6 中的寄存器位设置为 0h 或00h。

9.6.1 ID: ID控制寄存器（地址 = 00h）（复位 = xxh）

图 9.6.1 ID 控制寄存器

7	6	5	4	3	2	1	0
REV_ID[2:0]			1	DEV_ID[1:0]		NU_CH [1: 0]	
R-xh			R-1h	R-3h		R-xh	

说明：R/W = 读/写；R = 只读；-n = 重置后的值

表 9.6.2 ID控制寄存器字段说明

位	字段	类型	复位	说明
7:5	REV_ID[2:0]	R	xh	保留。 这些位指示芯片版本，如有更改，恕不另行通知。
4	保留	R	1h	保留。始终读回 1。
3:2	DEV_ID[1:0]	R	3h	芯片标识。这些位指示芯片类型。 11 :CBM24AD99Q
1:0	NU_CH [1: 0]	R	xh	通道数。这些位指示通道数。 00: 4 通道CBM24AD99Q-4 01: 6 通道CBM24AD99Q-6 10: 8 通道CBM24AD99Q

9.6.2 CONFIG1: 配置寄存器 1（地址 = 01h）（复位 = 96h/06h）

该寄存器配置 DAISY_EN_位、时钟和数据速率。

图 9.6.2 CONFIG1: 配置寄存器 1

7	6	5	4	3	2	1	0
1	DAISY_EN_	CLK_EN	1	0	DR[2:0]		

R/W-1h	R/W-0h	R/W-0h	R/W-1h	R/W-0h	R/W-6h
--------	--------	--------	--------	--------	--------

说明：R/W = 读/写；R = 只读；-n = 重置后的值

表 9.6.3 配置寄存器 1 字段说明

位	字段	类型	复位	说明
7	保留	R/W	1h	保留
6	DAISY_EN_	R/W	0h	菊花链或多重回读模式； 0：菊花链模式 1：多重回读模式
5	CLK_EN	R/W	0h	时钟连接 ⁽¹⁾ 当 CLKSEL 引脚=1 时，该位决定内部振荡器信号是否连接到 CLK 引脚。 0：振荡器时钟输出禁用 1：振荡器时钟输出启用
4:3	保留	R/W	2h/0h	保留
2:0	DR[2:0]	R/W	6h	输出数据速率。这些位决定了芯片的输出数据速率。 $f_{MOD} = f_{CLK} / 2$ 。 000: $f_{MOD}/64$ (16 kSPS) 001: $f_{MOD}/128$ (8 kSPS) 010: $f_{MOD}/256$ (4 kSPS) 011: $f_{MOD}/512$ (2 kSPS) 100: $f_{MOD}/1024$ (1 kSPS) 101: $f_{MOD}/2048$ (500 SPS) 110: $f_{MOD}/4096$ (250 SPS) 111: 保留（不使用）

(1) 驱动外部芯片时会消耗额外的功率。

9.6.3 CONFIG2：配置寄存器 2（地址 = 02h）（复位 = C0h/40h）

该寄存器主要配置测试信号的产生。

图 9.6.3 CONFIG2：配置寄存器 2

7	6	5	4	3	2	1	0
1	1	0	INT_CAL	0	CAL_AMP	CAL_FREQ[1:0]	
R/W-xh	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

说明：R/W = 读/写；R = 只读；-n = 重置后的值

表 9.6.4 配置寄存器 2 字段说明

位	字段	类型	复位	说明
7:5	保留	R/W	6h/2h	保留
4	INT_CAL	R/W	0h	测试源。该位确定测试信号的来源。 0: 测试信号由外部驱动 1: 内部产生测试信号
3	保留	R/W	0h	保留。总是写入 0h
2	校准放大器	R/W	0h	测试信号幅度 0: $1 \times (V_{REFP} - V_{REFN}) / 2400$ 1: $2 \times (V_{REFP} - V_{REFN}) / 2400$

1:0	CAL_FREQ[1:0]	R/W	0h	测试信号频率 00:在 $f_{CLK} / 2^{21}$ 脉冲 01:在 $f_{CLK} / 2^{20}$ 脉冲 10:未使用 11:直流
-----	---------------	-----	----	---

9.6.4 CONFIG3: 配置寄存器 3 (地址 = 03h) (复位 = 60h/40h)

该寄存器配置内部或外部参考和 BIAS 操作。

图 9.6.4 CONFIG3: 配置寄存器 3

7	6	5	4	3	2	1	0
PD_REFBUF_	1	1	BIAS_MEAS	BIASREF_INT	PD_BIAS_	BIAS_LOFF_SENS	BIAS_STAT
R/W-0h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.5 配置寄存器 3 字段说明

位	字段	类型	复位	说明
7	PD_REFBUF_	R/W	0h	参考缓冲器断电。该位决定参考缓冲器断电状态。 0: 断电内部参考缓冲器 1: 使能内部参考缓冲器
6:5	保留	R/W	3h/2h	保留
4	BIAS_MEAS	R/W	0h	BIAS测量 该位使能BIAS测量。 BIAS信号可以用任何通道测量。 0: 打开 1: BIAS_IN 信号被路由到具有MUX_Setting=010的通道
3	BIASREF_INT	R/W	0h	BIASREF信号。该位决定BIASREF信号来源。 0: BIASREF信号外部馈送 1: BIASREF信号 (AVDD +AVSS) /2内部产生
2	PD_BIAS_	R/W	0h	BIAS缓冲电源。该位确定BIAS缓冲器电源状态。 0:BIAS 缓冲器断电 1:BIAS 缓冲器使能
1	BIAS_LOFF_SENS	R/W	0h	BIAS检测功能。该位使能 BIAS 检测功能。 0: BIAS 检测被禁用 1: BIAS 检测启用
0	BIAS_STAT	只读	0h	BIAS导联状态。该位显示BIAS 状态。 0: BIAS已连接 1: BIAS未连接

9.6.5 LOFF: 导联检测控制寄存器 (地址 = 04h) (复位 = 00h)

该寄存器配置导联脱落检测操作。

图 9.6.5 LOFF: 导联检测控制寄存器

7	6	5	4	3	2	1	0
COMP_TH2[2:0]			0	ILEAD_OFF[1:0]		FLEAD_OFF[1:0]	
R/W-0h			R/W-0h	R/W-0h		R/W-0h	

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.6 导联检测控制寄存器字段说明

位	字段	类型	复位	说明
7:5	COMP_TH[2:0]	R/W	0h	导联检测比较器阈值 比较器正极 000:95% 001:92.5% 010:90% 011:87.5% 100:85% 101:80% 110:75% 111:70% 比较器负极 000:5% 001:7.5% 010:10% 011:12.5% 100:15% 101:20% 110:25% 111:30%
4	保留	R/W	0h	保留。 总是写入0h。
3:2	Ilead_OFF[1:0]	R/W	0h	导通检测电流大小。 这些位确定当前导联检测的电流大小。 00: 6mA 01: 24mA 10: 6μA 11: 24μA
1:0	Flead_OFF[1:0]	R/W	0h	导通检测频率。 这些位决定了通道的导联脱落检测频率。 00: 直流导联检测 01: 交流导联脱落检测在 7.8 Hz ($f_{CLK}/2^{18}$) 10: 联脱落检测在 31.2 Hz ($f_{CLK}/2^{16}$) 11: 交流导联脱落检测在 $f_{DR}/4$

9.6.6 CHnSET: 通道设置 (n = 1 到 8) (地址 = 05h 到 0Ch) (复位 = 61h)

该控制寄存器配置通道的功耗模式、PGA 增益和多路复用器设置。

图 9.6.6 CHnSET: 通道设置寄存器

7	6	5	4	3	2	1	0
PD _n	增益[2:0]			SRB2	多路复用器 [2: 0]		
R/W-0h	R/W-6h			R/W-0h	R/W-0h		

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.7 通道设置 (n = 1到 8) 寄存器字段说明

位	字段	类型	复位	说明
7	PD _n	R/W	0h	断电。 该位确定相应通道的通道断电模式。 0: 正常运行。 1: 通道断电。 关闭通道时, 建议通过设置 CHnSET 寄存器MUX _n [2:0] = 001 将通道设置为输入短路。

位	字段	类型	复位	说明
6:4	增益[2:0]	R/W	6h	PGA增益。 这些位决定PGA增益设置。 000:1 001:2 010:4 011:6 100:8 101:12 110:24 111: 不要使用
3	SRB2	R/W	0h	SRB2连接。 该位确定相应通道的SRB2连接。 0: 断开 1: 闭合
2:0	多路复用器 [2: 0]	R/W	1h	通道输入。 这些位决定通道输入选择。 000: 正常电极输入 001: 输入短路（用于偏移或噪声测量） 010: 与用于BIAS 测量的 BIAS_MEAS 位结合使用。 011: 用于电源测量的 MVDD 100: 温度传感器 101: 测试信号 110: BIAS_DRP（正极为驱动） 111: BIAS_DRN（负极为驱动）

9.6.7 BIAS_SENSP: BIAS正端信号感测寄存器（地址 = 0Dh）（复位 = 00h）

该寄存器控制通道正端信号到偏置电路（BIAS）的连接。

图 9.6.7 BIAS_SENSP: BIAS正端信号感测寄存器

7	6	5	4	3	2	1	0
BIASP8	BIASP7	BIASP6	BIASP5	BIASP4	BIASP3	BIASP2	BIASP1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.8 BIAS正端信号感测寄存器字段说明

位	字段	类型	复位	说明
7	BIASP8	R/W	0h	IN8P 到 BIAS偏置电路的连接 0: 禁用 1: 启用
6	BIASP7	R/W	0h	IN7P 到 BIAS偏置电路的连接 0: 禁用 1: 启用
5	BIASP6	R/W	0h	IN6P 到 BIAS偏置电路的连接 0: 禁用 1: 启用
4	BIASP5	R/W	0h	IN5P 到 BIAS偏置电路的连接 0: 禁用 1: 启用

位	字段	类型	复位	说明
3	BIASP4	R/W	0h	IN4P 到 BIAS偏置电路的连接 0: 禁用 1: 启用
2	BIASP3	R/W	0h	IN3P 到 BIAS偏置电路的连接 0: 禁用 1: 启用
1	BIASP2	R/W	0h	IN2P 到 BIAS偏置电路的连接 0: 禁用 1: 启用
0	BIASP1	R/W	0h	IN1P 到 BIAS偏置电路的连接 0: 禁用 1: 启用

9.6.8 BIAS_SENSN: BIAS负端信号感测寄存器（地址 = 0Eh）（复位 = 00h）

该寄存器控制通道负端信号到偏置电路（BIAS）的连接。

图 9.6.8 BIAS_SENSN: BIAS负端信号感测寄存器

7	6	5	4	3	2	1	0
BIASN8	BIASN7	BIASN6	BIASN5	BIASN4	BIASN3	BIASN2	BIASN1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.9 BIAS负端信号感测寄存器字段说明

位	字段	类型	复位	说明
7	BIASN8	R/W	0h	IN8N到BIAS偏置电路的连接 0: 禁用 1: 启用
6	BIASN7	R/W	0h	IN7N到BIAS偏置电路的连接 0: 禁用 1: 启用
5	BIASN6	R/W	0h	IN6N到BIAS偏置电路的连接 0: 禁用 1: 启用
4	BIASN5	R/W	0h	IN5N到BIAS偏置电路的连接 0: 禁用 1: 启用
3	BIASN4	R/W	0h	IN4N到BIAS偏置电路的连接 0: 禁用 1: 启用
2	BIASN3	R/W	0h	IN3N到BIAS偏置电路的连接 0: 禁用 1: 启用
1	BIASN2	R/W	0h	IN2N到BIAS偏置电路的连接 0: 禁用 1: 启用
0	BIASN1	R/W	0h	IN1N到BIAS偏置电路的连接 0: 禁用 1: 启用

9.6.9 LOFF_SENSP: 正端导联脱落检测寄存器 (地址 = 0Fh) (复位 = 00h)

该寄存器控制对通道正端导联进行脱落检测。

图 9.6.9 LOFF_SENSP: 正端导联脱落检测寄存器

7	6	5	4	3	2	1	0
LOFFP8	LOFFP7	LOFFP6	LOFFP5	LOFFP4	LOFFP3	LOFFP2	LOFFP1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.10 正端导联脱落检测寄存器字段说明

位	字段	类型	复位	说明
7	LOFFP8	R/W	0h	IN8P导联脱落检测 0: 禁用 1: 启用
6	LOFFP7	R/W	0h	IN7P导联脱落检测 0: 禁用 1: 启用
5	LOFFP6	R/W	0h	IN6P导联脱落检测 0: 禁用 1: 启用
4	LOFFP5	R/W	0h	IN5P导联脱落检测 0: 禁用 1: 启用
3	LOFFP4	R/W	0h	IN4P导联脱落检测 0: 禁用 1: 启用
2	LOFFP3	R/W	0h	IN3P导联脱落检测 0: 禁用 1: 启用
1	LOFFP2	R/W	0h	IN2P导联脱落检测 0: 禁用 1: 启用
0	LOFFP1	R/W	0h	IN1P导联脱落检测 0: 禁用 1: 启用

9.6.10 LOFF_SENSN: 负端导联断开检测寄存器 (地址 = 10h) (复位 = 00h)

该寄存器控制对通道负端导联进行脱落检测。

图 9.6.10 LOFF_SENSN: 负端导联脱落检测寄存器

7	6	5	4	3	2	1	0
LOFFM8	LOFFM7	LOFFM6	LOFFM5	LOFFM4	LOFFM3	LOFFM2	LOFFM1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.11 负端导联检测寄存器字段说明

位	字段	类型	复位	说明
7	LOFFM8	R/W	0h	IN8N导联脱落检测 0: 禁用 1: 启用
6	LOFFM7	R/W	0h	IN7N导联脱落检测 0: 禁用 1: 启用
5	LOFFM6	R/W	0h	IN6N导联脱落检测 0: 禁用 1: 启用
4	LOFFM5	R/W	0h	IN5N导联脱落检测 0: 禁用 1: 启用
3	LOFFM4	R/W	0h	IN4N导联脱落检测 0: 禁用 1: 启用
2	LOFFM3	R/W	0h	IN3N导联脱落检测 0: 禁用 1: 启用
1	LOFFM2	R/W	0h	IN2N导联脱落检测 0: 用 1: 启用
0	LOFFM1	R/W	0h	IN1N导联脱落检测 0: 禁用 1: 启用

9.6.11 LOFF_FLIP: 导联检测电流翻转寄存器 (地址 = 11h) (复位 = 00h)

该寄存器控制导联脱落检测的电流方向。

图 9.6.11 LOFF_FLIP: 导联检测电流翻转寄存器

7	6	5	4	3	2	1	0
LOFF_FLIP8	LOFF_FLIP7	LOFF_FLIP6	LOFF_FLIP5	LOFF_FLIP4	LOFF_FLIP3	LOFF_FLIP2	LOFF_FLIP1
R/W0h	R/W0h	R/W0h	R/W0h	R/W0h	R/W0h	R/W0h	R/W0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.12 导联检测电流翻转寄存器字段说明

位	字段	类型	复位	说明
7	LOFF_FLIP8	R/W	0h	通道 8 LOFF 极性翻转 翻转通道 8 上电流源的上拉或下拉极性以进行导联脱落检测。 0: 无翻转 = IN8P 被拉至 AVDD 且 IN8N 被拉至 AVSS 1: 翻转 = IN8P 被拉至 AVSS 且 IN8N 被拉至 AVDD
6	LOFF_FLIP7	R/W	0h	通道 7 LOFF 极性翻转 翻转通道 7 上电流源的上拉或下拉极性以进行导联断开检测。 0: 无翻转 = IN7P 被拉至 AVDD 且 IN7N 被拉至 AVSS 1: 翻转 = IN7P 被拉至 AVSS 且 IN7N 被拉至 AVDD
5	LOFF_FLIP6	R/W	0h	通道 6 LOFF 极性翻转 翻转通道 6 上电流源的上拉或下拉极性以进行导联断开检测。 0: 无翻转 = IN6P 拉至 AVDD 且 IN6N 拉至 AVSS 1: 翻转 = IN6P 拉至 AVSS 且 IN6N 拉至 AVDD

位	字段	类型	复位	说明
4	LOFF_FLIP5	R/W	0h	通道 5 LOFF 极性翻转 翻转通道 5 上电流源的上拉或下拉极性以进行导联断开检测。 0: 无翻转 = IN5P 被拉至 AVDD 且 IN5N 被拉至 AVSS 1: 翻转 = IN5P 被拉至 AVSS 且 IN5N 被拉至 AVDD
3	LOFF_FLIP4	R/W	0h	通道 4 LOFF 极性翻转 翻转通道 4 上电流源的上拉或下拉极性以进行导联脱落检测。 0: 无翻转 = IN4P 被拉至 AVDD 且 IN4N 被拉至 AVSS 1: 翻转 = IN4P 被拉至 AVSS 且 IN4N 被拉至 AVDD
2	LOFF_FLIP3	R/W	0h	通道 3 LOFF 极性翻转 翻转通道 3 上电流源的上拉或下拉极性以进行导联断开检测。 0: 无翻转 = IN3P 被拉至 AVDD 且 IN3N 被拉至 AVSS 1: 翻转 = IN3P 被拉至 AVSS 且 IN3N 被拉至 AVDD
1	LOFF_FLIP2	R/W	0h	通道 2 LOFF 极性翻转 翻转通道 2 上电流源的上拉或下拉极性以进行导联断开检测。 0: 无翻转 = IN2P 被拉至 AVDD 且 IN2N 被拉至 AVSS 1: 翻转 = IN2P 被拉至 AVSS 且 IN2N 被拉至 AVDD
0	LOFF_FLIP1	R/W	0h	通道 1 LOFF 极性翻转 翻转通道 1 上电流源的上拉或下拉极性以进行导联断开检测。 0: 无翻转 = IN1P 被拉至 AVDD 且 IN1N 被拉至 AVSS 1: 翻转 = IN1P 被拉至 AVSS 且 IN1N 被拉至 AVDD

9.6.12 LOFF_STATP: 导联正端状态寄存器 (地址 = 12h) (复位 = 00h)

该寄存器存储每个通道的正端是否脱落的状态。有关详细信息，请参见导联检测部分。如果相应的 LOFF_SENSP 位未设置为 1，则忽略 LOFF_STATP 值。

图 9.6.12 LOFF_STATP: 导联正端状态寄存器 (只读)

7	6	5	4	3	2	1	0
IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.13 导联正端状态寄存器字段说明

位	字段	类型	复位	说明
7	IN8P_OFF	R	0h	通道 8 正端导联状态 IN8P 电极导通或脱落状态 0: 电极导通 1: 电极脱落
6	IN7P_OFF	R	0h	通道 7 正端导联状态 IN7P 电极导通或脱落状态 0: 电极导通 1: 电极脱落
5	IN6P_OFF	R	0h	通道 6 正端导联状态 IN6P 电极导通或脱落状态 0: 电极导通 1: 电极脱落
4	IN5P_OFF	R	0h	通道 5 正端导联状态 IN5P 电极导通或脱落状态 0: 电极导通 1: 电极脱落
3	IN4P_OFF	R	0h	通道 4 正端导联状态 IN4P 电极导通或脱落状态 0: 电极导通 1: 电极脱落

2	IN3P_OFF	R	0h	通道 3 正端导联状态 IN3P 电极导通或脱落状态 0: 电极导通 1: 电极脱落
1	IN2P_OFF	R	0h	通道 2 正端导联状态 IN2P 电极导通或脱落状态 0: 电极导通 1: 电极脱落
0	IN1P_OFF	R	0h	通道 1 正端导联状态 IN1P 电极导通或脱落状态 0: 电极导通 1: 电极脱落

9.6.13 LOFF_STATN: 导联负端状态寄存器 (地址 = 13h) (复位 = 00h)

该寄存器存储每个通道的负端是否脱落的状态。有关详细信息，请参见导联检测部分。如果相应的 LOFF_SENSP 位未设置为 1，则忽略 LOFF_STATP 值。

图 9.6.13 LOFF_STATN: 导联负端状态寄存器 (只读)

7	6	5	4	3	2	1	0
IN8N_OFF	IN7N_OFF	IN6N_OFF	IN5N_OFF	IN4N_OFF	IN3N_OFF	IN2N_OFF	IN1N_OFF
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.14 导联负端状态寄存器字段说明

位	字段	类型	复位	说明
7	IN8N_OFF	R	0h	通道 8 负端导联状态 IN8N 电极导通或脱落状态 0: 电极导通 1: 电极脱落
6	IN7N_OFF	R	0h	通道 7 负端导联状态 IN7N 电极导通或脱落状态 0: 电极导通 1: 电极脱落
5	IN6N_OFF	R	0h	通道 6 负端导联状态 IN6N 电极导通或脱落状态 0: 电极导通 1: 电极脱落
4	IN5N_OFF	R	0h	通道 5 负端导联状态 IN5N 电极导通或脱落状态 0: 电极导通 1: 电极脱落
3	IN4N_OFF	R	0h	通道 4 负端导联状态 IN4N 电极导通或脱落状态 0: 电极导通 1: 电极脱落
2	IN3N_OFF	R	0h	通道 3 负端导联状态 IN3N 电极导通或脱落状态 0: 电极导通 1: 电极脱落
1	IN2N_OFF	R	0h	通道 2 负端导联状态 IN2N 电极导通或脱落状态 0: 电极导通 1: 电极脱落
0	IN1N_OFF	R	0h	通道 1 负端导联状态 IN1N 电极导通或脱落状态 0: 电极导通 1: 电极脱落

9.6.14 GPIO: 通用 I/O 寄存器 (地址 = 14h) (复位 = 0Fh)

该寄存器控制GPIO引脚的行为。

图 9.6.14 GPIO：通用I/O寄存器

7	6	5	4	3	2	1	0
GPIOD[4:1]				GPIOC [4:1]			
R/W-0h				R/W-Fh			

说明：R/W = 读/写；R = 只读；-n = 重置后的值

表 9.6.15 通用I/O寄存器字段说明

位	字段	类型	复位	说明
7:4	GPIOD[4:1]	R/W	0h	GPIO 数据 这些位用于向 GPIO 端口读取和写入数据。读取寄存器时，返回的数据对应于 GPIO 外部引脚的状态，无论它们被编程为输入还是输出。作为输出，写入 GPIOD 设置输出值。作为输入，写入 GPIOD 无效。
3:0	GPIOC [4:1]	R/W	Fh	GPIO 控制（对应 GPIOD） 这些位确定相应的 GPIOD 引脚是输入还是输出。 0：输出 1：输入

9.6.15 MISC1：杂项 1 寄存器（地址 = 15h）（复位 = 00h）

该寄存器提供将 SRB1引脚路由到四、六或八通道（CFY-A98-4、CFY-A98-6 或CFY-A98）的所有反相输入的控制。

图 9.6.15 MISC1：杂项 1寄存器

7	6	5	4	3	2	1	0
0	0	SRB1	SRB1_SEL		SRB2_SEL		0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

说明：R/W = 读/写；R = 只读；-n = 重置后的值

表 9.6.16 杂项1 寄存器字段说明

	字段	类型	复位	说明
7:6	保留	R/W	0h	保留 总是写入0h
5	SRB1	R/W	0h	激励、参考和偏置 1 该位将 SRB1连接到所有通道反相输入 0：开关打开 1：开关关闭
4:3	SRB1_SEL	R/W	0h	偶数通道选择。 控制选择驱动SRB1的通道。 00：选择通道 2 01：选择通道 4 10：选择通道 6 11：选择通道 8
2:1	SRB2_SEL	R/W	0h	奇数通道选择。 控制选择驱动SRB2的通道。 00：选择通道 1 01：选择通道 3 10：选择通道 5 11：选择通道 7

0	保留	R/W	0h	保留
---	----	-----	----	----

9.6.16 MISC2: 杂项 2 (地址 = 16h) (复位 = 00h)

该寄存器保留供将来使用。

图 9.6.16 MISC2: 杂项 2 寄存器

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.17 杂项2 寄存器字段说明

位	字段	类型	复位	说明
7:0	保留	R/W	0h	保留

9.6.17 CONFIG4: 配置寄存器 4 (地址 = 17h) (复位 = 00h)

该寄存器配置转换模式并启用导联检测比较器。

图 9.6.17 CONFIG4: 配置寄存器 4

7	6	5	4	3	2	1	0
0	0	0	0	SINGLE_SHOT	0	PD_LOFF_COMP_	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

说明: R/W = 读/写; R = 只读; -n = 重置后的值

表 9.6.18 配置寄存器 4 字段说明

位	字段	类型	复位	说明
7:4	保留	R/W	0h	保留
3	SINGLE_SHOT	R/W	0h	单发转换选择。 该位设置转换模式。 0: 连续转换模式 1: 单发模式
2	保留	R/W	0h	保留
1	PD_LOFF_COMP_	R/W	0h	导联检测比较器断电。 该位关闭导联检测比较器的电源。 0: 导联检测比较器禁用 1: 导联检测比较器使能
0	保留	R/W	0h	保留

10. 应用事项

10.1 静电放电注意事项

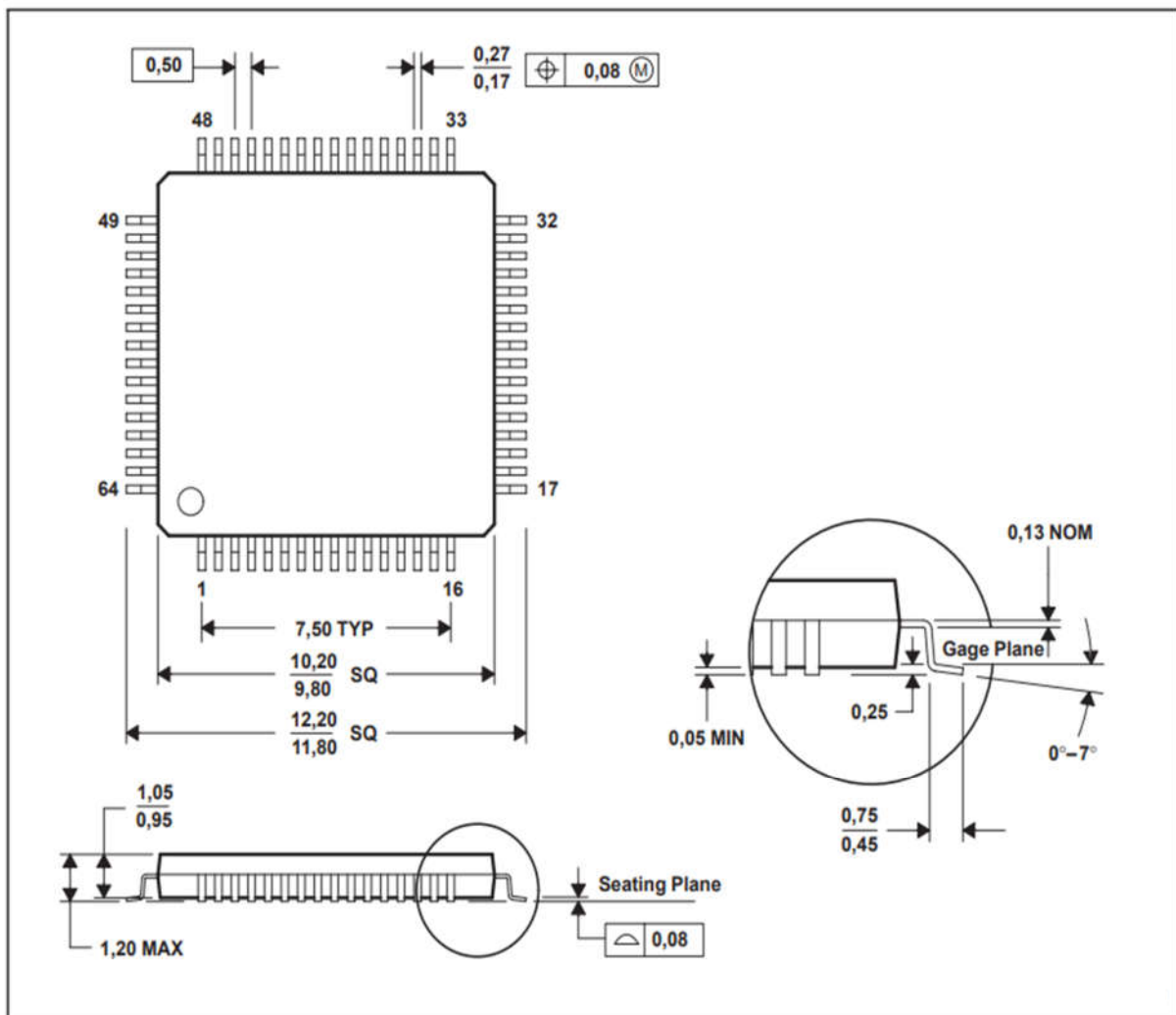


该芯片可能会被 ESD 损坏。建议在处理所有芯片时采取适当的预防措施。不遵守正确的处理和安装步骤可能会导致损坏。

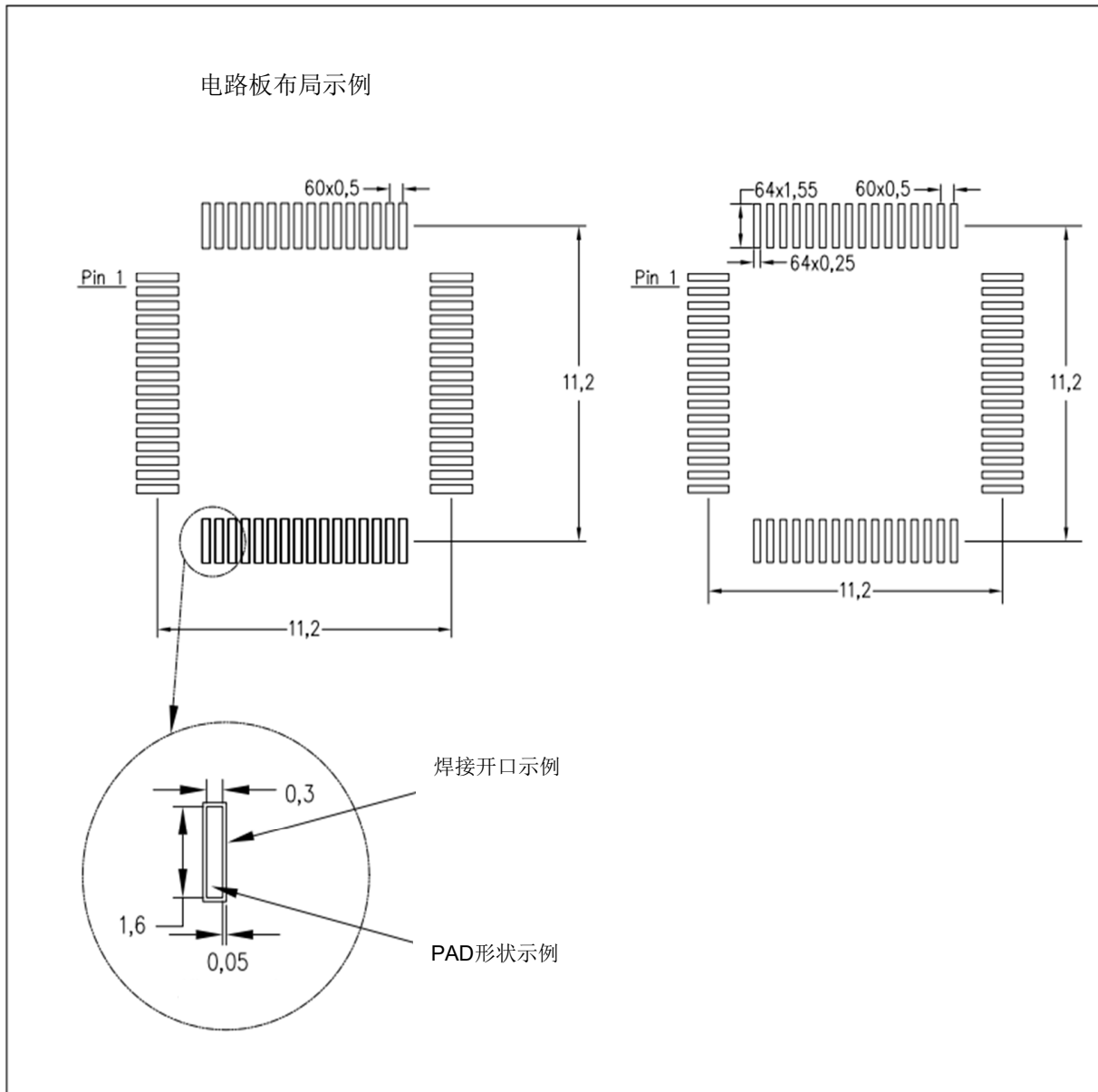
ESD损坏的范围可以从细微的性能下降到完全的芯片故障。精密芯片可能更容易受到损坏，因为非常小的参数变化可能会导致芯片不符合其公布的规格。

10.2 封装尺寸详细数据

TQFP封装



电路板布局示例



注：A. 所有线性尺寸均以毫米为单位。

10.3 芯片订购信息列表

产品型号	温度范围	封装	包装形式	ROHS
CBM24AD99Q	- 40° C 到 +85° C	64-LQFP	960/Tray	Y
CBM24AD99Q	- 40° C 到 +85° C	64-LQFP	960/Tray	Y
CBM24AD99Q	- 40° C 到 +85° C	64-LQFP	960/Tray	Y