LF～2.7GHz デュアル60dB TruPwr™ディテクタ

AD8364

特長

クレスト・ファクタの高い信号のrms計測
2チャンネル出力ポートとチャンネル差分出力ポート
高精度温度センサーを内蔵
±1dB精度ダイナミック・レンジ：>60dB
デシベル・リニア応答
温度安定性：±0.5dB
低対数適合リップル
消費電流：70mA@＋5V動作
動作温度範囲：－40～＋85℃
省スペース：LFCSPパッケージ（5mm×5mm）

アプリケーション

ワイヤレス・インフラ用パワーアンプのリニアライゼーション／制御
アンテナVSWRのモニタ
ゲインとパワーの制御・計測
トランスミッタ信号強度表示（TSSI）
2チャンネルのワイヤレス・インフラ用無線機器

機能ブロック図

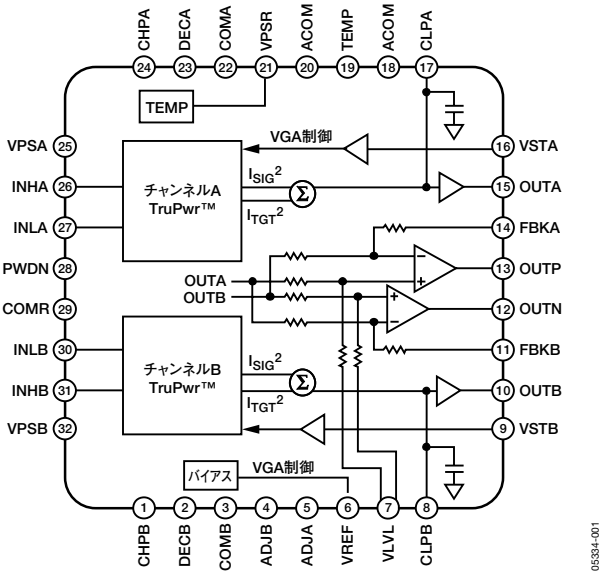

図1. 機能ブロック図

概要

AD8364は、真のrms応答デュアル・チャンネルのRFパワー測定サブシステムで、信号パワーを高精度で計測・制御します。柔軟性に優れているため、RFパワーアンプや無線トランシーバのAGC回路などの通信システムを容易にモニタし、制御できます。各チャンネルは5Vの単電源で動作し、60dBを超える幅広いダイナミック・レンジで、最大周波数2.7GHzでの完全動作が仕様規定されています。2つのRF計測チャンネルに対して、正確なスケールの独立したrms出力を供給します。2チャンネル間の差を測定する差分出力ポートも利用できます。オンチップのチャンネル・マッチングによって、温度とプロセスの変動に対してrmsチャンネル差分出力がきわめて安定しています。デバイスと同じ動作温度範囲で仕様規定した温度センサーも内蔵し、温度に比例して高精度にスケーリングした電圧を出力します。50Ωにおけるrms値が－55～＋5dBmの入力信号やクレスト・ファクタの大きい入力信号に対して使用でき、精度が劣化することはありません。

AD8364は、温度性能を改善し対数適合リップルを低減したAD8362チャンネル（詳細はAD8362のデータシートを参照）2個をマッチングして内蔵しています。AD8362と比較して、温度性能が改善され、対数適合リップルが低減されています。また、多くのシステム・ソリューションに対応する柔軟性の高い回路構成を可能にするために、オンチップの広帯域幅出力オペアンプを接続しています。

このデバイスは、4つのrms計測を同時に実行するように容易に構成できます。OUTAとOUTBからデシベル・リニアのrms計測値が得られます（出力は50mV/dBのスケールとなっており便利です）。OUTAとOUTB間のrmsチャンネル差は、OUTPとOUTNで差動信号またはシングルエンド信号として出力されます。VLVLに加えられるオプションの電圧を同相のリファレンス・レベルとして使用し、グラウンド電位を超えるOUTPとOUTNの電圧をオフセットします。

AD8364は、5mm×5mmの32ピンLFCSPパッケージで提供しており、－40～＋85℃で動作します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸1-16-1　ニューピア竹芝サウスタワービル
電話03（5402）8200

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36　新大阪MTビル2号
電話06（6350）6868

目次

仕様 3
絶対最大定格 7
ESDに関する注意 7
ピン配置と機能説明 8
代表的な性能特性 9
概要と動作原理 18
2乗ディテクタと振幅ターゲット回路 19
RF入力インターフェース 19
オフセットの補償 19
温度センサー・インターフェース 20
VREFインターフェース 20
パワーダウン・インターフェース 20
VST［A、B］インターフェース 20
OUT［A、B、P、N］出力 21
OUT［P、N］を使用した計測チャンネル差分出力 22
コントローラ・モード 22
RF計測モードの基本接続 23
コントローラ・モードの基本接続 24
一定出力パワー動作 27
ゲイン安定性に優れたトランスミッタ／レシーバ 29
温度の補償調整 31
デバイスのキャリブレーションと誤差の計算 31
入力レンジを下げて精度を改善するためのキャリブレーション・ポイントの選択 32
勾配の変更 34
チャンネル・アイソレーション 35
CHP［A、B］とCLP［A、B］の最適値の選択 36
RFバースト応答時間 36
シングルエンド入力動作 36
PCボードに関する考慮事項 37
パッケージに関する留意事項 37
特性評価の説明 38
誤差計算の基本 38
評価用ボードおよび特性評価回路ボードのレイアウト 40
評価用ボード 44
アセンブリ図 46
外形寸法 47
オーダー・ガイド 47

改訂履歴

2005年4月－リビジョン0：初版

仕様

特に指定のない限り、V_S＝VPSA＝VPSB＝VPSR＝5V、T_A＝25℃、チャンネルAの周波数＝チャンネルBの周波数、VLVL＝VREF、VST［A、B］＝OUT［A、B］、OUT［P、N］＝FBK［A、B］、バランを経由する差動入力、CW入力周波数≦2.7GHzで仕様規定。

表1

パラメータ	条件	Min	Typ	Max	単位
全体機能	チャンネルAとチャンネルB、CWサイン波入力				
信号入力インターフェース	INH［A、B］（26番、31番ピン）、INL［A、B］（27番、30番ピン）				
規定周波数レンジ		LF		2.7	GHz
DCコモンモード電圧			2.5		V
信号出力インターフェース	OUT［A、B］（15番、10番ピン）				
ワイドバンド・ノイズ	CLP［A、B］＝0.1μF、f_{SPOT}＝100kHz、RF入力＝2,140MHz、≧−40dBm		40		nV/√Hz
計測モード、450MHz動作	ADJA＝ADJB＝0V、直線回帰を利用したベスト・フィット・ライン基準の誤差@$P_{INH[A,B]}$＝−40dBm、−20dBm、T_A＝25℃、バラン＝M/A-Com ETK4-2T				
±1dBダイナミック・レンジ[1]	OUT［A、B］ピン		69		dB
	−40℃＜T_A＜＋85℃		65		dB
±0.5dBダイナミック・レンジ[1]	OUT［A、B］ピン（チャンネルA／チャンネルB）		62/59		dB
	−40℃＜T_A＜＋85℃（チャンネルA／チャンネルB）		50/52		dB
最大入力レベル	±1dB誤差		12		dBm
最小入力レベル	±1dB誤差		−58		dBm
勾配			51.6		mV/dB
インターセプト			−59		dBm
出力電圧（ハイパワー入力）	OUT［A、B］ピン@$P_{INH[A,B]}$＝−10dBm		2.53		V
出力電圧（ローパワー入力）	OUT［A、B］ピン@$P_{INH[A,B]}$＝−40dBm		0.99		V
温度感度	OUT［A、B］からの偏差@25℃				
	−40℃＜T_A＜85℃；$P_{INH[A,B]}$＝−10dBm		−0.1、＋0.2		dB
	−40℃＜T_A＜85℃；$P_{INH[A,B]}$＝−25dBm		−0.2、＋0.3		dB
	−40℃＜T_A＜85℃；$P_{INH[A,B]}$＝−40dBm		−0.3、＋0.4		dB
	OUTPとOUTN間の偏差@25℃				
	−40℃＜T_A＜85℃；$P_{INH[A,B]}$＝−10dBm、−25dBm		±0.25		dB
	−40℃＜T_A＜85℃；$P_{INH[A,B]}$＝−25dBm、−25dBm		±0.2		dB
	−40℃＜T_A＜85℃；$P_{INH[A,B]}$＝−40dBm、−25dBm		±0.2		dB
入力Aと入力B間のアイソレーション	バラン＝Macom ETC1.6-4-2-3（2チャンネルとも）		71		dB
入力AとOUTB間のアイソレーション	周波数差＝1kHz				
入力BとOUTA間のアイソレーション[2]	P_{INHB}＝−50dBm、OUTB＝$OUTB_{PINHB}$±1dB		54		dB
	P_{INHA}＝−50dBm、OUTA＝$OUTA_{PINHA}$±1dB		54		dB
入力インピーダンス	INHA/INLA、INHB/INLBの差動駆動		210‖0.1		Ω‖pF
入力リターン損失	推奨のバランを使用		−12		dB
計測モード、880MHz動作	ADJA＝ADJB＝0V、直線回帰を利用したベスト・フィット・ライン基準の誤差@$P_{INH[A,B]}$＝−40dBmおよび−20dBm、T_A＝25℃、バラン＝Mini-Circuits® JTX-4-10T				
±1dBダイナミック・レンジ[1]	OUT［A、B］ピン（チャンネルA／チャンネルB）		66/57		dB
	−40℃＜T_A＜＋85℃		58/40		dB
±0.5dBダイナミック・レンジ[1]	OUT［A、B］ピン（チャンネルA／チャンネルB）		62/54		dB
	−40℃＜T_A＜＋85℃		20/20		dB
最大入力レベル	±1dB誤差（チャンネルA／チャンネルB）		8/0		dBm
最小入力レベル	±1dB誤差（チャンネルA／チャンネルB）		−58/−57		dBm
勾配			51.6		mV/dB
インターセプト			−59.2		dBm
出力電圧（ハイパワー入力）	OUT［A、B］ピン@$P_{INH[A,B]}$＝−10dBm		2.54		V
出力電圧（ローパワー入力）	OUT［A、B］ピン@$P_{INH[A,B]}$＝−40dBm		0.99		V

パラメータ	条件	Min	Typ	Max	単位
温度感度	OUT［A、B］からの偏差@25℃				
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−10dBm		+0.5		dB
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−25dBm		+0.5		dB
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−40dBm		+0.5		dB
	OUTPとOUTN間の偏差@25℃				
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−10dBm、−25dBm		+0.1、−0.2		dB
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−25dBm、−25dBm		+0.1、−0.2		dB
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−40dBm、−25dBm		+0.1、−0.2		dB
入力Aと入力B間の アイソレーション	バラン=Macom ETC1.6-4-2-3（2チャンネルとも）		64		dB
入力AとOUTB間の アイソレーション	P_{INHB}=−50dBm、OUTB=$OUTB_{PINHB}$±1dB		35		dB
入力BとOUTA間の アイソレーション[2]	P_{INHA}=−50dBm、OUTA=$OUTA_{PINHA}$±1dB		35		dB
入力インピーダンス	INHA/INLA、INHB/INLBの差動駆動		200||0.3		Ω||pF
入力リターン損失	推奨のバランを使用		−9		dB
計測モード、1,880MHz動作	ADJA=ADJB=0.75V、直線回帰を利用したベスト・フィット・ライン基準の誤差@$P_{INH[A、B]}$=−40dBm、−20dBm、T_A=25℃、バラン=村田LDB181G8820C-110				
±1dBダイナミック・レンジ[1]	OUT［A、B］ピン（チャンネルA／チャンネルB）		69/61		dB
	−40℃<T_A<85℃		60/50		dB
±0.5dBダイナミック・レンジ[1]	OUT［A、B］ピン（チャンネルA／チャンネルB）		62/51		dB
	−40℃<T_A<85℃		58/51		dB
最大入力レベル	±1dB誤差（チャンネルA／チャンネルB）		11/3		dBm
最小入力レベル	±1dB誤差		−58		dBm
勾配			50		mV/dB
インターセプト			−62		dBm
出力電圧（ハイパワー入力）	OUT［A、B］ピン@$P_{INH[A、B]}$=−10dBm		2.49		V
出力電圧（ローパワー入力）	OUT［A、B］ピン@$P_{INH[A、B]}$=−40dBm		0.98		V
温度感度	OUT［A、B］からの偏差@25℃				
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−10dBm		+0.5、−0.2		dB
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−25dBm		+0.5、−0.2		dB
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−40dBm		+0.5、−0.2		dB
	OUTPとOUTN間の偏差@25℃				
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−10dBm、−25dBm		±0.3		dB
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−25dBm、−25dBm		±0.3		dB
	−40℃<T_A<85℃；$P_{INH[A、B]}$=−40dBm、−25dBm		±0.3		dB
入力Aと入力B間の アイソレーション	バラン=Macom ETC1.6-4-2-3（2チャンネルとも）		61		dB
入力AとOUTB間の アイソレーション	P_{INHB}=−50dBm、OUTB=$OUTB_{PINHB}$±1dB		33		dB
入力BとOUTA間の アイソレーション[2]	P_{INHA}=−50dBm、OUTA=$OUTA_{PINHA}$±1dB		33		dB
入力インピーダンス	INHA/INLA、INHB/INLBの差動駆動		167||0.14		Ω||pF
入力リターン損失	推奨のバランを使用		−8		dB
計測モード、2.14GHz動作	ADJA=ADJB=1.02V、直線回帰を利用したベスト・フィット・ライン基準の誤差@$P_{INH[A、B]}$=−40dBmおよび−20dBm、T_A=25℃、バラン=村田LDB212G1020C-001				
±1dBダイナミック・レンジ[1]	OUT［A、B］ピン（チャンネルA／チャンネルB）		66/57		dB
	−40℃<T_A<85℃		58/40		dB
±0.5dBダイナミック・レンジ[1]	OUT［A、B］ピン（チャンネルA／チャンネルB）		62/54		dB
	−40℃<T_A<85℃		30/30		dB
最大入力レベル	±1dB誤差（チャンネルA／チャンネルB）		−2/−4		dBm
最小入力レベル	±1dB誤差（チャンネルA／チャンネルB）		−57/−51		dBm
勾配	チャンネルA／チャンネルB		49.5/52.1		mV/dB
インターセプト	チャンネルA／チャンネルB		−58.3/−57.1		dBm
出力電圧（ハイパワー入力）	OUT［A、B］ピン@$P_{INH[A、B]}$=−10dBm		2.42		V

パラメータ	条件	Min	Typ	Max	単位
出力電圧（ローパワー入力）	OUT［A、B］ピン@$P_{INH\ [A、B]}$＝−40dBm		0.90		V
温度感度	OUT［A、B］からの偏差@25℃				
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−10dBm		＋0.1、−0.4		dB
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−25dBm		＋0.1、−0.4		dB
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−40dBm		＋0.1、−0.4		dB
	OUTPとOUTN間の偏差@25℃				
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−10dBm、−25dBm		＋0.1、−0.4		dB
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−25dBm、−25dBm		＋0.2、−0.2		dB
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−40dBm、−25dBm		＋0.1、−0.2		dB
CW応答からの偏差	5.5dBのピーク対rms比（WCDMA 1チャンネル）		0.2		dB
	12dBのピーク対rms比（WCDMA 3チャンネル）		0.3		dB
	18dBのピーク対rms比（WCDMA 4チャンネル）		0.3		dB
入力Aと入力B間の アイソレーション	バラン＝Macom ETC1.6-4-2-3（2チャンネルとも）		58		dB
入力AとOUTB間の アイソレーション	P_{INHB}＝−50dBm、OUTB＝$OUTB_{PINHB}$±1dB		33		dB
入力BとOUTA間の アイソレーション[2]	P_{INHA}＝−50dBm、OUTA＝$OUTA_{PINHA}$±1dB		33		dB
入力インピーダンス	INHA/INLA、INHB/INLBの差動駆動		150‖1.9		Ω‖pF
入力リターン損失	推奨のバランを使用		−10		dB
計測モード、2.5GHz動作	ADJA＝ADJB＝1.14V、直線回帰を利用したベスト・フィット・ライン基準の誤差@$P_{INH\ [A、B]}$＝−40dBmおよび−20dBm、T_A＝25℃、バラン＝村田LDB182G4520C-110				
±1dBダイナミック・レンジ[1]	OUT［A、B］ピン（チャンネルA／チャンネルB）		69/63		dB
	−40℃＜T_A＜＋85℃		58		dB
±0.5dBダイナミック・レンジ[1]	OUT［A、B］ピン（チャンネルA／チャンネルB）		55/50		dB
	−40℃＜T_A＜＋85℃		25		dB
最大入力レベル	±1dB誤差（チャンネルA／チャンネルB）		17/11		dBm
最小入力レベル	±1dB誤差		−52		dBm
勾配			50		mV/dB
インターセプト			−52.7		dBm
出力電圧（ハイパワー入力）	OUT［A、B］ピン@$P_{INH\ [A、B]}$＝−10dBm		2.14		V
出力電圧（ローパワー入力）	OUT［A、B］ピン@$P_{INH\ [A、B]}$＝−40dBm		0.65		V
温度感度	OUT［A、B］からの偏差@25℃				
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−10dBm		±0.5		dB
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−25dBm		±0.5		dB
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−40dBm		±0.5		dB
	OUTPとOUTN間の偏差@25℃				
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−10dBm、−25dBm		±0.3		dB
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−25dBm、−25dBm		±0.3		dB
	−40℃＜T_A＜85℃；$P_{INH[A、B]}$＝−40dBm、−25dBm		±0.3		dB
入力Aと入力B間の アイソレーション	バラン＝Macom ETC1.6-4-2-3（2チャンネルとも）		54		dB
入力AとOUTB間の アイソレーション	P_{INHB}＝−50dBm、OUTB＝$OUTB_{PINHB}$±1dB		31		dB
入力BとOUTA間の アイソレーション[2]	P_{INHA}＝−50dBm、OUTA＝$OUTA_{PINHA}$±1dB		31		
入力インピーダンス	INHA/INLA、INHB/INLBの差動駆動		150‖1.7		Ω‖pF
入力リターン損失	推奨のバランを使用		−11.5		dB
出力インターフェース	OUTAピンとOUTBピン				
最小電圧範囲	グラウンド間にR_L≧200Ωを接続		0.09		V
最大電圧範囲	グラウンド間にR_L≧200Ωを接続		V_S−0.15		V
ソース／シンク電流	OUTAとOUTBをV_S/2に保持、1%の変化まで		70		mA

パラメータ	条件	Min	Typ	Max	単位
セットポイント入力	VSTAピンとVSTBピン				
電圧範囲	適合性誤差≦1dB	0.5		3.75	V
入力抵抗値			68		kΩ
対数スケール係数	f=450MHz、−40℃≦T_A≦+85℃		50		mV/dB
対数インターセプト	f=450MHz、−40℃≦T_A≦+85℃、50Ωを基準		−55		dBm
チャンネル差分出力	OUTPピンとOUTNピン				
最小電圧範囲	グラウンド間にR_L≧200Ωを接続		0.1		V
最大電圧範囲	グラウンド間にR_L≧200Ωを接続		V_S−0.15		V
ソース／シンク電流	OUTPとOUTNをV_S/2に保持、1%の変化まで		70		mA
電圧差レベルの調整	VLVLピン				
電圧範囲[3]	OUT［P、N］=FBK［A、B］	0		5	V
OUT［P、N］電圧範囲	OUT［P、N］=FBK［A、B］	0		V_S−0.15	V
入力抵抗値			1		kΩ
温度補償	ADJAピンとADJBピン				
入力電圧範囲		0		2.5	V
入力抵抗値			>1		MΩ
電圧リファレンス	VREFピン				
出力電圧	RF入力=−55dBm		2.5		V
温度感度	−40℃≦T_A≦+85℃		0.4		mV/℃
ソース／シンク電流制限値	1%の変化		10/3		mA
温度リファレンス	TEMPピン				
出力電圧	T_A=25℃、R_L≧10kΩ		0.62		V
温度係数	−40℃≦T_A≦+85℃、R_L≧10kΩ		2		mV/℃
ソース／シンク電流	T_A=25℃、1%の変化まで		1.6/2		mA
パワーダウン・インターフェース	PWDNピン				
イネーブルのロジック・レベル	ロジック・ローでイネーブル			1	V
ディスエーブルのロジック・レベル	ロジック・ハイでディスエーブル	3			V
入力電流	ロジック・ハイPWDN=5V		95		μA
	ロジック・ローPWDN=0V		<100		μA
イネーブル時間	最終値の100%でPWDNローからOUTA/OUTBまでの時間、$C_{LPA/B}$=オープン、$C_{HPA/B}$=10nF、RF入力=0dBm		2		μs
ディスエーブル時間	最終値の10%でPWDNハイからOUTA/OUTBまでの時間、$C_{LPA/B}$=オープン、$C_{HPA/B}$=10nF、RF入力=0dBm		1.6		μs
電源インターフェース	VPS［A、B］ピンとVPSRピン				
電源電圧		4.5		5.5	V
無負荷静止電流	RF入力=−55dBm、V_S=5V		70		mA
	−40℃≦T_A≦+85℃			90	mA
電源電流	PWDNをイネーブル、V_S=5V		500		μA
	−40℃≦T_A≦+85℃			900	μA

[1] 最適適合直線、直線回帰
[2] ±1dB誤差の場合のアイソレーションの周波数特性プロットについては、図75を参照してください。
[3] VLVL+OUTA/2の合計電圧がVPSA−1.31Vの電圧を超えないようにしてください。同様にVLVL+OUTB/2の合計電圧もVPSB−1.31Vの電圧を超えないようにしてください。

絶対最大定格

表2

パラメータ	定格値
電源電圧VPSA、VPSB、VPSR	5.5V
PWDN、VSTA、VSTB、ADJA、ADJB、FBKA、FBKBの各ピン上の電圧	0V、5.5V
入力パワー（50Ωを基準）	23dBm
内部消費電力	600mW
θ_{JA}	39.8℃/W[1、2]
θ_{JC}	3.9℃/W[2]
θ_{JB}	22.8℃/W[2]
ψ_{JT}	0.4℃/W[1、2]
最大ジャンクション温度	125℃
動作温度範囲	−40～＋85℃
保存温度範囲	−65～＋150℃

[1] 自然空冷
[2] パッドをボードにハンダ付けし、サーマル・ビアをボードに装着する、標準的な4層のJEDEC規格準拠テスト用ボードを使用して、すべての値をモデル化しています。

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能説明

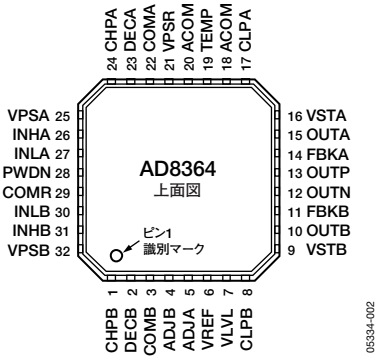

図2. ピン配置

表3. ピン機能の説明

ピン番号	名前	説明	等価回路
1	CHPB	このピンとコモンの間にコンデンサを挿入し、チャンネルBの入力信号ハイパス・フィルタの3dBポイントを決定します。	
2、23	DECB、DECA	INHA/INLAとINHB/INLB用のデカップリング端子。容量の大きい1本のコンデンサを経由してコモンに接続し、完全な入力回路を構成します。	図52
3、22、29	COMB、COMA、COMR	入力システムのコモン接続ポイント。ロー・インピーダンスの抵抗を経由してシステム・コモンに接続します。	
4、5	ADJB、ADJA	チャンネルBとチャンネルAの温度補償ピン。外部電圧を接続して温度ドリフトを改善します。この電圧をVREFから生成できます（VREFとADJ［A、B］間、ADJ［A、B］とグラウンド間に抵抗を接続します）。これらの抵抗の値は、周波数に応じて変更します。	図68
6	VREF	2.5Vの汎用リファレンス電圧出力	図54
7	VLVL	OUTPとOUTN用のリファレンス電圧レベル入力（通常は分圧器を経由してVREFに接続するか、オープンにします。）	図58
8、17	CLPB、CLPA	ループ・フィルタ積分（平均化）コンデンサのチャンネルBとチャンネルAの接続ピン。グラウンド基準のコンデンサをこのピンに接続します。1本の抵抗をこのコンデンサと直列に接続して、ループの安定性と応答時間を改善できます。	
9	VSTB	このピンに加える電圧によって、チャンネルBに必要なRF入力電圧のデシベル値が設定されます。設定後はループ積分コンデンサ・ピン（CLPB）に流れる電流がゼロになります。	図56
10	OUTB	誤差アンプのチャンネルB出力。計測モードでは通常、VSTBに直接接続します。	図57
11	FBKB	1kΩの抵抗を経由して、OUTNを駆動する内蔵のオペアンプの負側端子にフィードバックするピンです。	
12	OUTN	チャンネル差分オペアンプ出力。計測モードでは通常、このピンをFBKBに直接接続します。OUTN＝OUTA－OUTB＋VLVLの式に従って出力が決定されます。	図58
13	OUTP	チャンネル差分オペアンプ出力。計測モードでは通常、このピンをFBKAに直接接続します。OUTP＝OUTA－OUTB＋VLVLの式に従って出力が決定されます。	図58
14	FBKA	1kΩの抵抗を経由して、OUTPを駆動する内蔵のオペアンプの負側端子にフィードバックするピンです。	
15	OUTA	誤差アンプのチャンネルA出力。計測モードでは通常、このピンをVSTAに直接接続します。	図57
16	VSTA	このピンに加える電圧によって、チャンネルAに必要なRF入力電圧のデシベル値が設定されます。設定後はループ積分コンデンサ・ピン（CLPA）に流れる電流がゼロになります。	図56
18、20	ACOM	チャンネルAおよびB用のアナログ・コモン。ロー・インピーダンス抵抗を経由してコモンに接続します。	
21、25、32	VPSR、VPSA、VPSB	チャンネルAおよびBの入力システム電源。内部リファレンスの電源です。＋5V電源に接続します。	
19	TEMP	温度センサー出力	図53
24	CHPA	1本のコンデンサを経由してコモンに接続し、チャンネルAの入力信号ハイパス・フィルタの3dBポイントを決定します。	
26、27	INHA、INLA	チャンネルAのハイレベルおよびローレベルRF信号入力端子	図52
28	PWDN	制御入力をディスエーブル／イネーブルにします。ロジック・ハイ電圧を印加すると、AD8364がシャットダウンします。	図55
30、31	INLB、INHB	チャンネルBのローレベルおよびハイレベルRF信号入力端子	図52
パッケージの下部	露出パドル	パッケージの下側にある露出パドルは、熱および電気的特性の低いグラウンド・プレーンにハンダ付けしてください。	

代表的な性能特性

V_P＝5V、T_A＝＋25℃、－40℃、＋85℃、CLPA/B＝オープンで仕様規定。＋25℃：黒、－40℃：青、＋85℃：赤

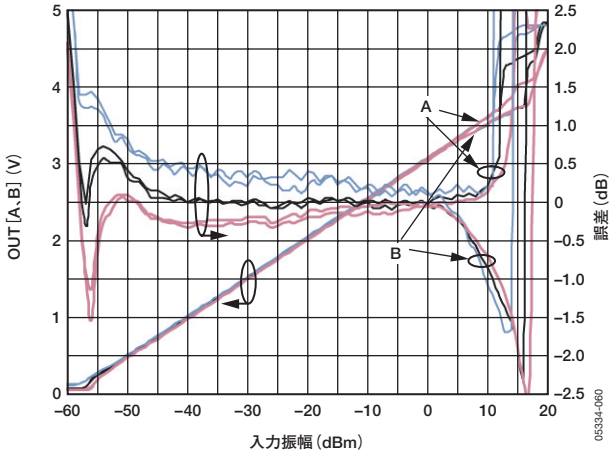

図3. 入力振幅 対 OUT［A、B］電圧および対数適合性（450MHz、代表的なデバイス、ADJ［A、B］＝0V、サイン波、差動駆動、バラン＝Macom ETK4-2T）

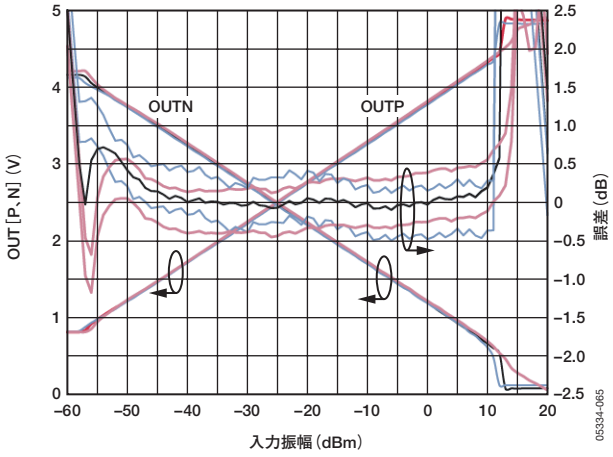

図6. 入力振幅 対 OUT［P、N］電圧および対数適合性（450MHz、B入力を－25dBmに保持し、A入力は掃引、代表的なデバイス、ADJ［A、B］＝0V、サイン波、差動駆動、バラン＝Macom ETK4-2T。OUTPとOUTNの誤差曲線はオーバーラップしている。）

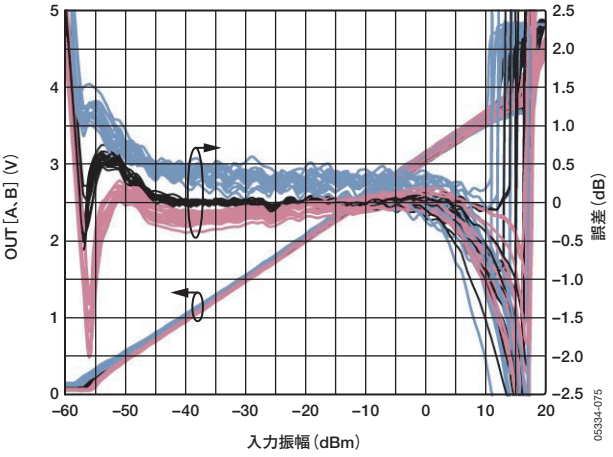

図4. 入力振幅 対 周囲温度正規化後の温度範囲におけるOUT［A、B］電圧および誤差の分布（複数のロットから30個以上のデバイスを抽出、周波数＝450MHz、ADJ［A、B］＝0V、サイン波、差動駆動、バラン＝Macom ETK4-2T）

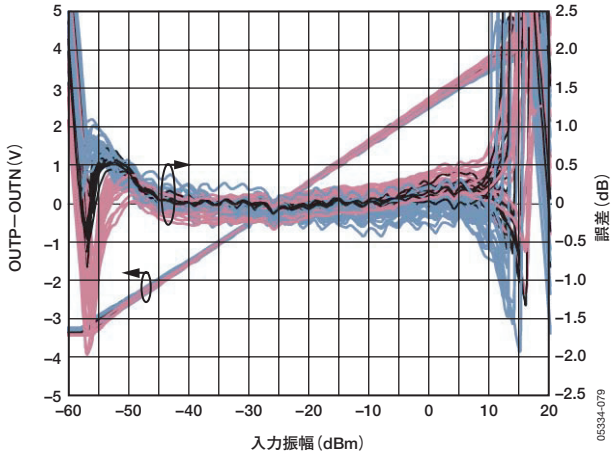

図7. 入力振幅 対 周囲温度正規化後の温度範囲における［OUTP－OUTN］電圧および誤差の分布（複数のロットから30個以上のデバイスを抽出、周波数＝450MHz、ADJ［A、B］＝0V、サイン波、差動駆動、チャンネルBのP_{IN}＝－25dBm、A入力は掃引）

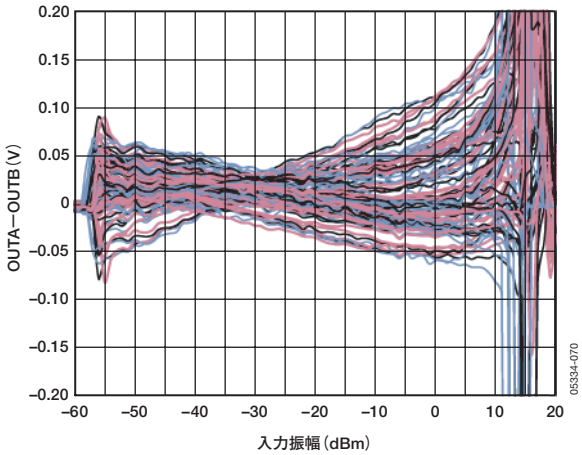

図5. 温度範囲における入力振幅 対 ［OUTA－OUTB］電圧の分布（複数のロットから30個以上のデバイスを抽出、周波数＝450MHz、ADJ［A、B］＝0V、サイン波、差動駆動、バラン＝Macom ETK4-2T）

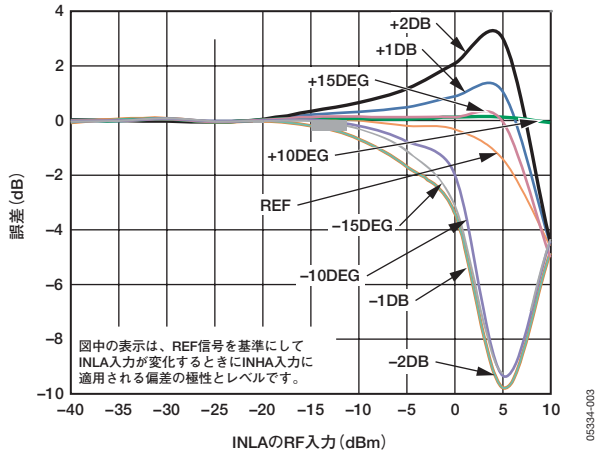

図8. 各種の振幅および位相平衡ポイントにおける入力振幅 対 対数適合性（450MHz、代表的なデバイス、ADJ［A、B］＝0V、サイン波、差動駆動）

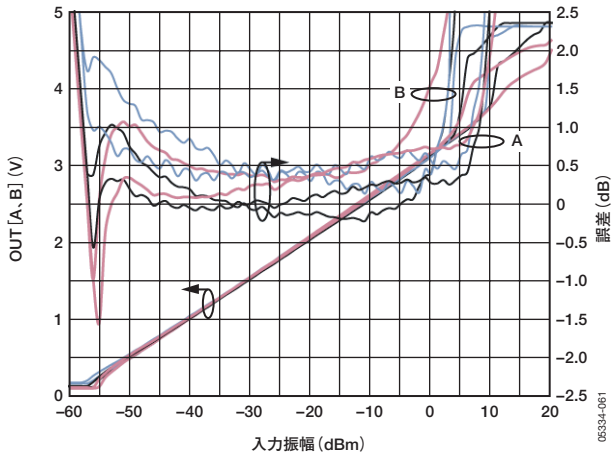

図9. 入力振幅 対 OUT［A、B］電圧および対数適合性（880MHz、代表的なデバイス、ADJ［A、B］＝0.5V、サイン波、差動駆動、バラン＝Mini-Circuits JTX-4-10T）

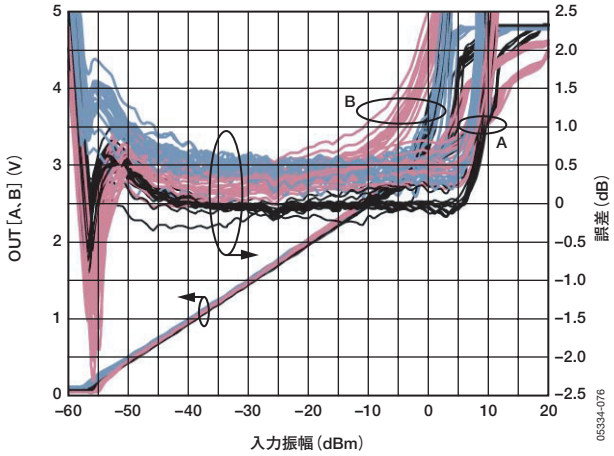

図10. 入力振幅 対 周囲温度正規化後の温度範囲におけるOUT［A、B］電圧および誤差の分布（複数のロットから15個以上のデバイスを抽出、周波数＝880MHz、ADJ［A、B］＝0.5V、サイン波、差動駆動、バラン＝JTX-4-10T）

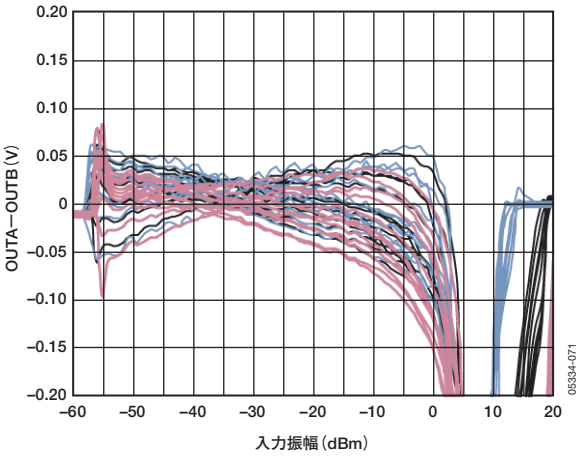

図11. 温度範囲における入力振幅 対 ［OUTA−OUTB］電圧の分布（複数のロットから15個以上のデバイスを抽出、周波数＝880MHz、ADJ［A、B］＝0.5V、サイン波、差動駆動、バラン＝JTX-4-10T）

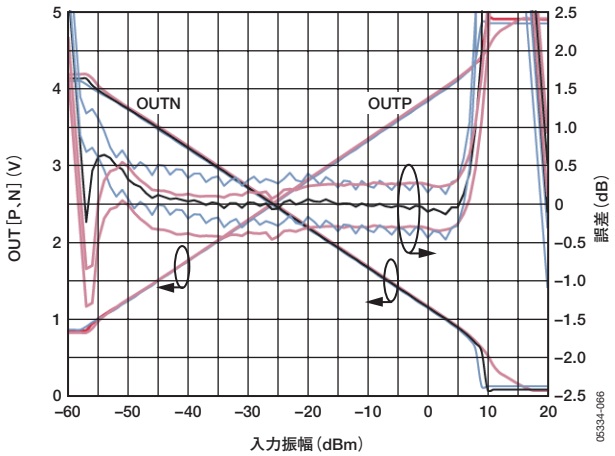

図12. 入力振幅 対 OUT［P、N］電圧および対数適合性（880MHz、B入力を−25dBmに保持し、A入力は掃引、代表的なデバイス、ADJ［A、B］＝0.5V、サイン波、差動駆動、バラン＝JTX-4-10T。OUTPとOUTNの誤差曲線はオーバーラップしている。）

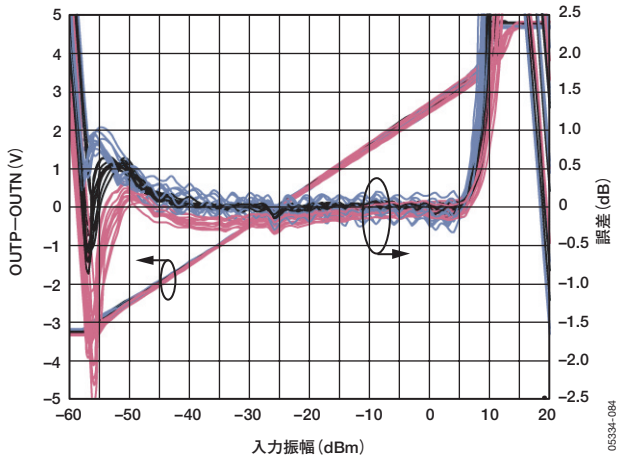

図13. 入力振幅 対 周囲温度正規化後の温度範囲における［OUTP−OUTN］電圧および誤差の分布（複数のロットから15個以上のデバイスを抽出、周波数＝880MHz、ADJ［A、B］＝0.5V、サイン波、差動駆動、チャンネルBのP_{IN}＝−25dBm、A入力は掃引）

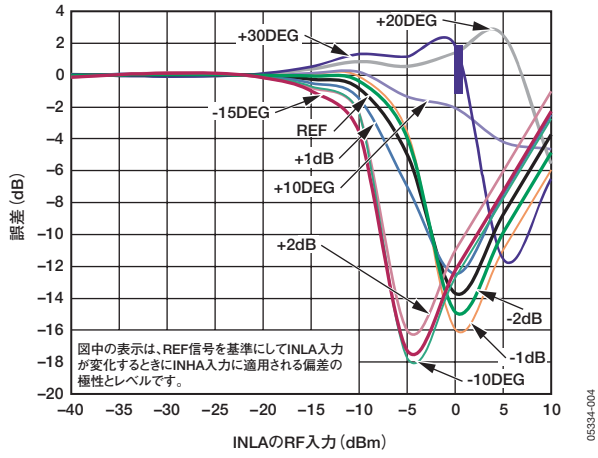

図14. 各種の振幅および位相平衡ポイントにおける入力振幅 対 対数適合性（880MHz、代表的なデバイス、ADJ［A、B］＝0.5V、サイン波、差動駆動）

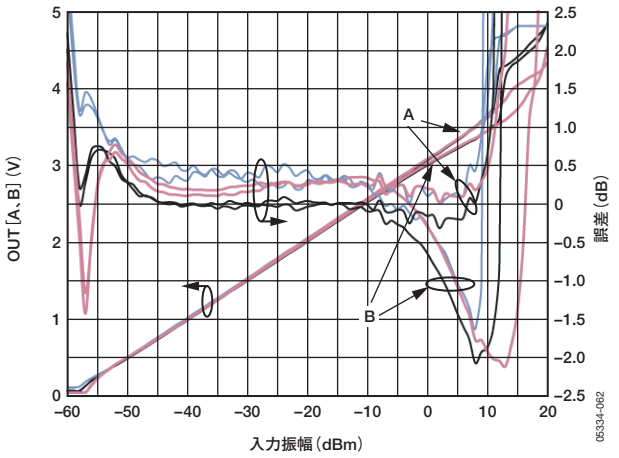

図15. 入力振幅 対 OUT［A、B］電圧および対数適合性（1.88GHz、代表的なデバイス、ADJ［A、B］=0.65V、サイン波、差動駆動、バラン=村田LDB181G8820C-110）

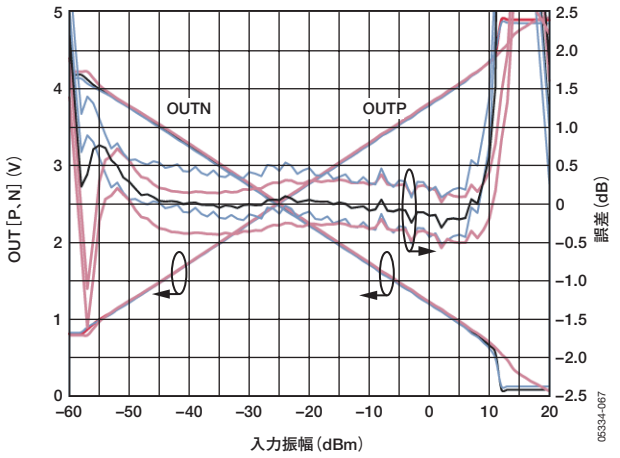

図18. 入力振幅 対 OUT［P、N］電圧および対数適合性（1.88GHz、B入力を−25dBmに保持し、A入力は掃引、代表的なデバイス、ADJ［A、B］=0.65V、サイン波、差動駆動、バラン=村田LDB181G8820C-110。OUTPとOUTNの誤差曲線はオーバーラップしている。）

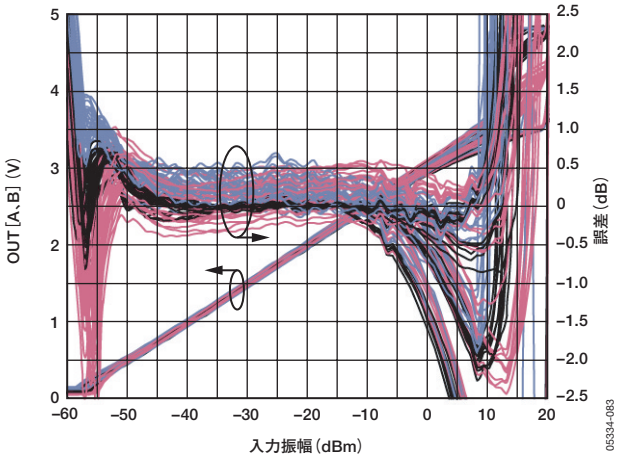

図16. 入力振幅 対 周囲温度正規化後の温度範囲におけるOUT［A、B］電圧および誤差の分布（複数のロットから20個以上のデバイスを抽出、周波数=1.88GHz、ADJ［A、B］=0.65V、サイン波、差動駆動、バラン=村田LDB181G8820C-110）

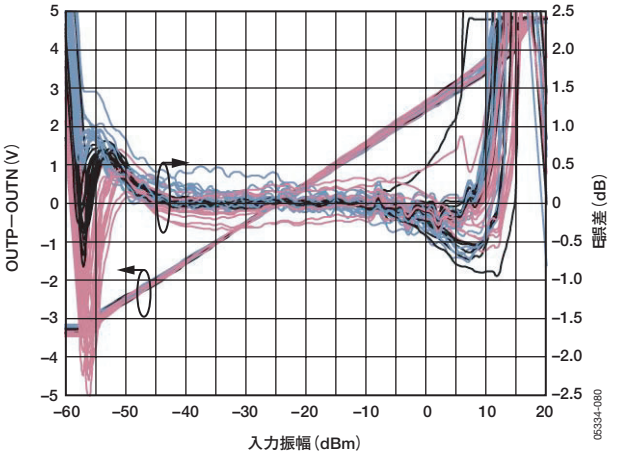

図19. 入力振幅 対 周囲温度正規化後の温度範囲における［OUTP−OUTN］電圧および誤差の分布（複数のロットから20個以上のデバイスを抽出、周波数=1.88GHz、ADJ［A、B］=0.65V、サイン波、差動駆動、チャンネルBのP_{IN}=−25dBm、A入力は掃引）

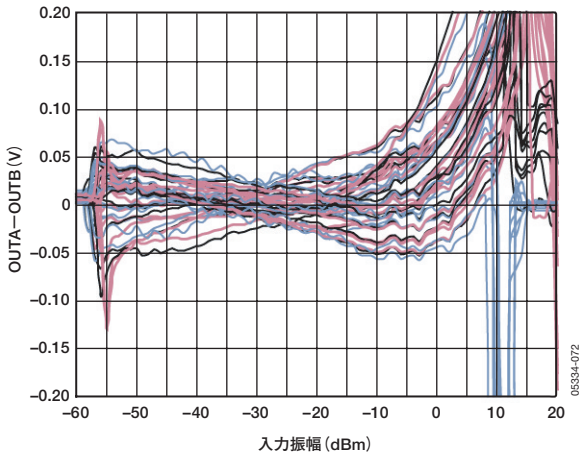

図17. 温度範囲における入力振幅 対 ［OUTA−OUTB］電圧の分布（複数のロットから20個以上のデバイスを抽出、周波数=1.88GHz、ADJ［A、B］=0.65V、サイン波、差動駆動、バラン=村田LDB181G8820C-110）

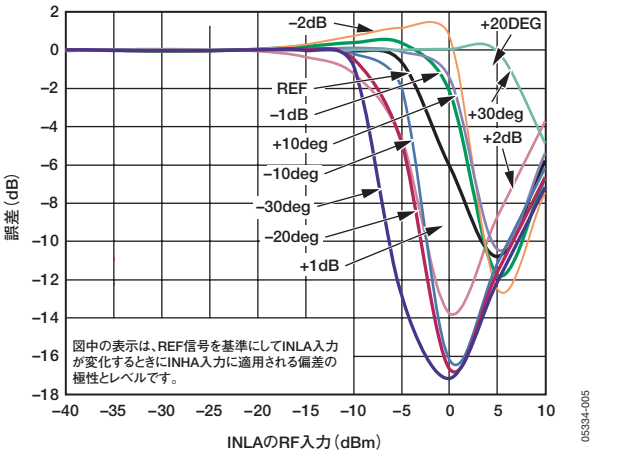

図20. 各種の振幅および位相平衡ポイントにおける入力振幅 対 対数適合性（1.880GHz、代表的なデバイス、ADJ［A、B］=0.65V、サイン波、差動駆動）

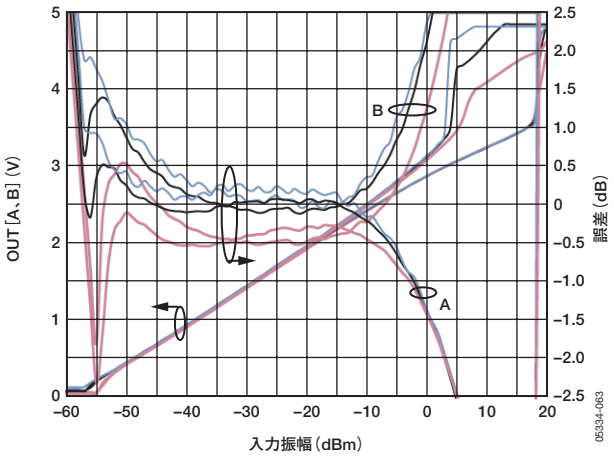

図21. 入力振幅 対 OUT［A、B］電圧および対数適合性（2.14GHz、代表的なデバイス、ADJ［A、B］=0.85V、サイン波、差動駆動、バラン=村田LDB212G1020C-001）

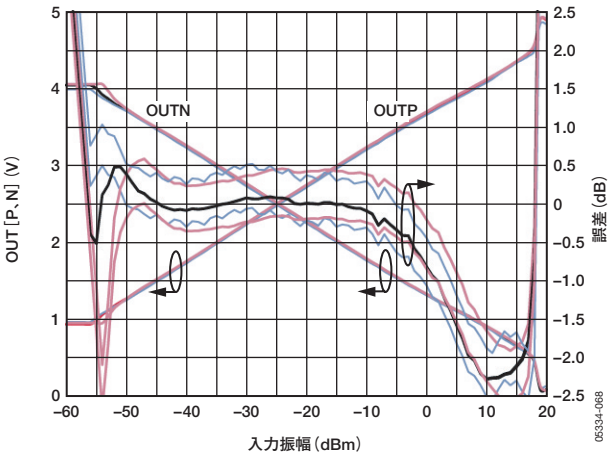

図24. 入力振幅 対 OUT［P、N］電圧および対数適合性、2.14GHz、B入力を−25dBmに保持し、A入力は掃引、代表的なデバイス、ADJ［A、B］=0.85V、サイン波、差動駆動、バラン=村田LDB212G1020C-001（OUTPとOUTNの誤差曲線はオーバーラップしている。）

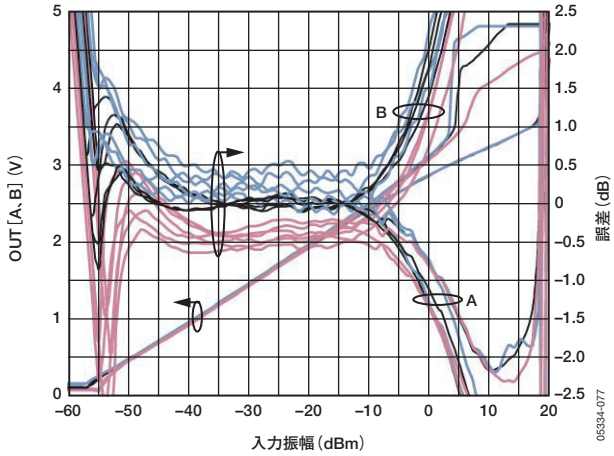

図22. 入力振幅 対 周囲温度正規化後の温度範囲におけるOUT［A、B］電圧および誤差の分布（複数のロットから3個以上のデバイスを抽出、周波数=2.14GHz、ADJ［A、B］=0.85V、サイン波、差動駆動、バラン=村田LDB212G1020C-001）

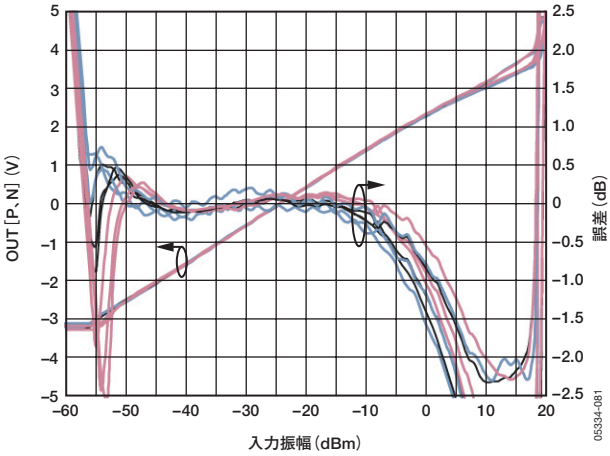

図25. 入力振幅 対 周囲温度正規化後の温度範囲における［OUTP−OUTN］電圧および誤差の分布（複数のロットから3個以上のデバイスを抽出、周波数=2.14GHz、ADJ［A、B］=0.85V、サイン波、差動駆動、チャンネルBのP_{IN}=−25dBm、A入力は掃引）

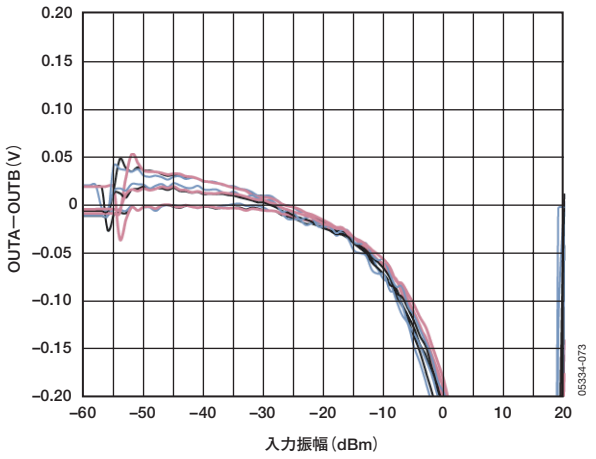

図23. 温度範囲における入力振幅 対 ［OUTA−OUTB］電圧の分布（複数のロットから3個以上のデバイスを抽出、周波数=2.14GHz、ADJ［A、B］=0.85V、サイン波、差動駆動、バラン=村田LDB212G1020C-001）

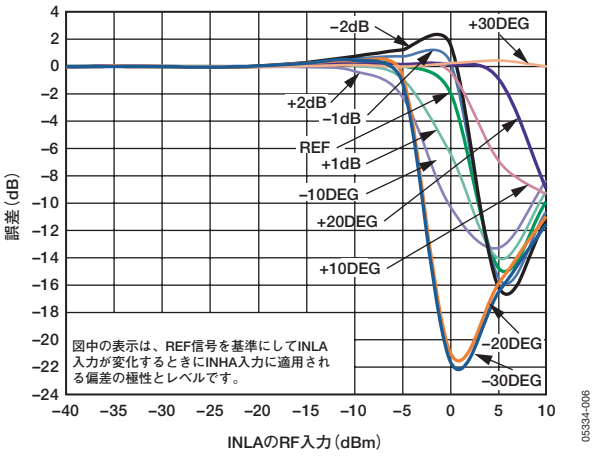

図26. 各種の振幅および位相平衡ポイントにおける入力振幅 対 対数適合性（2.140GHz、代表的なデバイス、ADJ［A、B］=0.85V、サイン波、差動駆動）

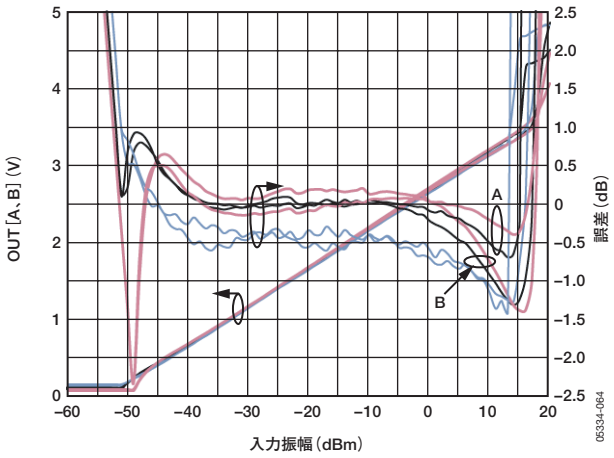

図27. 入力振幅 対 OUT [A、B] 電圧および対数適合性（2.5GHz、代表的なデバイス、ADJ [A、B] = 1.1V、サイン波、差動駆動、バラン＝村田LDB182G4520C-110）

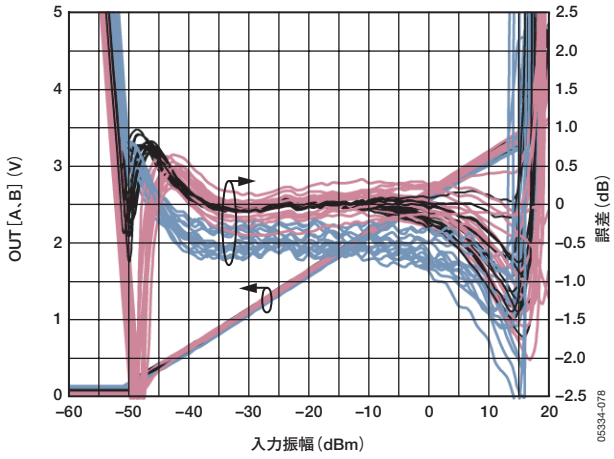

図28. 入力振幅 対 周囲温度正規化後の温度範囲におけるOUT［A、B］電圧および誤差の分布（複数のロットから15個以上のデバイスを抽出、周波数=2.5GHz、ADJ［A、B］=1.1V、サイン波、差動駆動、バラン=村田LDB182G4520C-110）

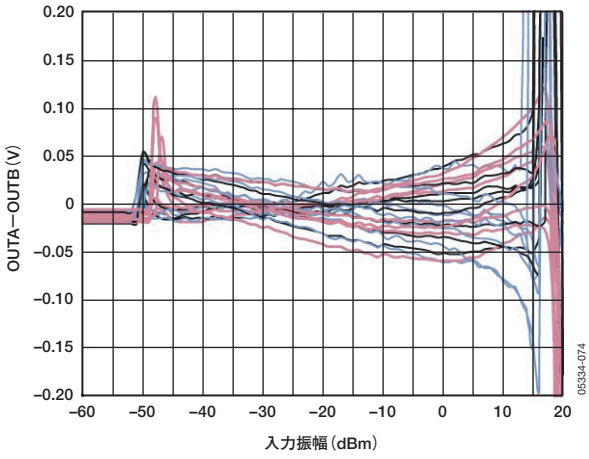

図29. 温度範囲における入力振幅 対 ［OUTA−OUTB］電圧の分布（複数のロットから15個以上のデバイスを抽出、周波数=2.5GHz、ADJ［A、B］=1.1V、サイン波、差動駆動、バラン=村田LDB182G4520C-110）

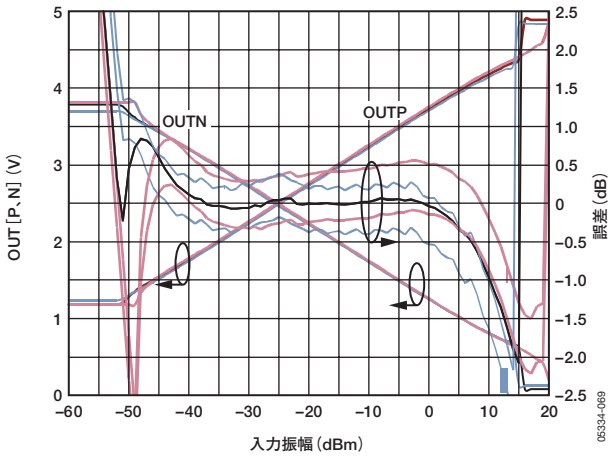

図30. 入力振幅 対 OUT［P、N］電圧および対数適合性（2.5GHz、B入力を−25dBmに保持し、A入力は掃引、代表的なデバイス、ADJ［A、B］=1.1V、サイン波、差動駆動、バラン=村田LDB182G4520C-110。OUTPとOUTNの誤差曲線はオーバーラップしている。）

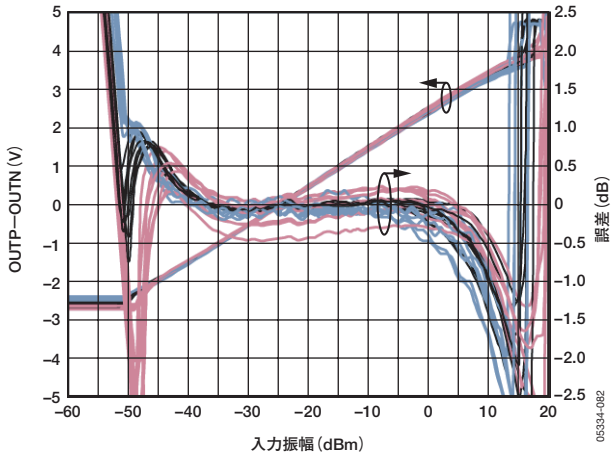

図31. 入力振幅 対 周囲温度正規化後の温度範囲における［OUTP−OUTN］電圧および誤差の分布（複数のロットから15個以上のデバイスを抽出、周波数=2.5GHz、ADJ［A、B］=1.1V、サイン波、差動駆動、チャンネルBのP_{IN}=−25dBm、A入力は掃引）

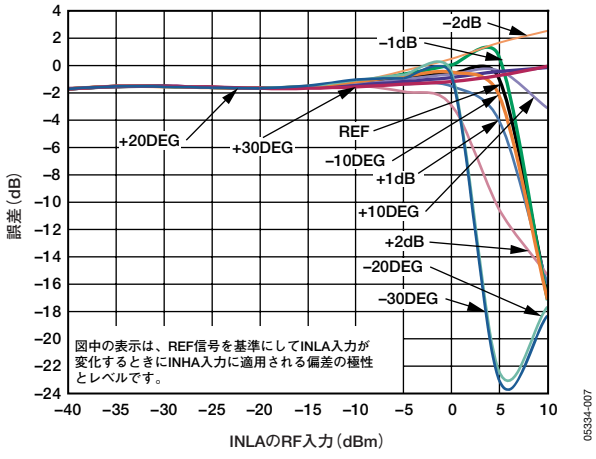

図32. 各種の振幅および位相平衡ポイントにおける入力振幅 対 対数適合性（2.500GHz、代表的なデバイス、ADJ［A、B］=1.1V、サイン波、差動駆動）

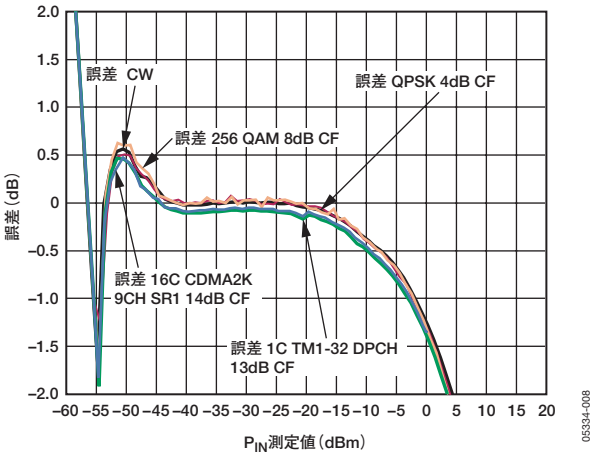

図33. 各種波形の入力振幅 対 CWリニア・リファレンスからの出力誤差（CW、QPSK、256QAM、WCDMAに適合する32 DPCHの1キャリア・テスト・モデル1、CDMA2000、16キャリア、9チャンネルのSR1周波数2.140GHz、CLP［A、B］=1μF、バラン=村田LDB212G1020C-001）

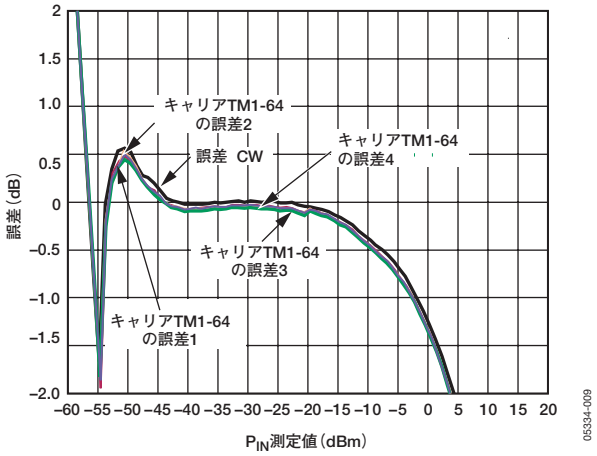

図34. 各種波形の入力振幅 対 CWリニア・リファレンスからの誤差（CW、WCDMA 1、2、3、4キャリア、64 DPCHのテスト・モデル1、周波数2.140GHz、バラン=村田LDB212G1020C-001）

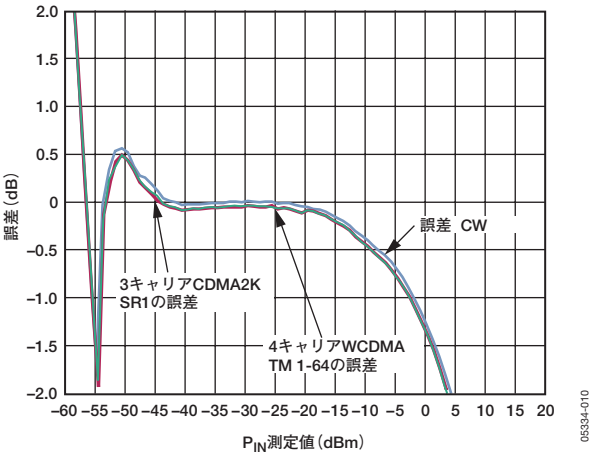

図35. 各種波形の入力振幅 対 CWリニア・リファレンスからの出力電圧および誤差（CW、3キャリアCDMA2000 SR1、4キャリアWCDMA、64 DPCHのテスト・モデル1、周波数2.140GHz、バラン=村田LDB212G1020C-001）

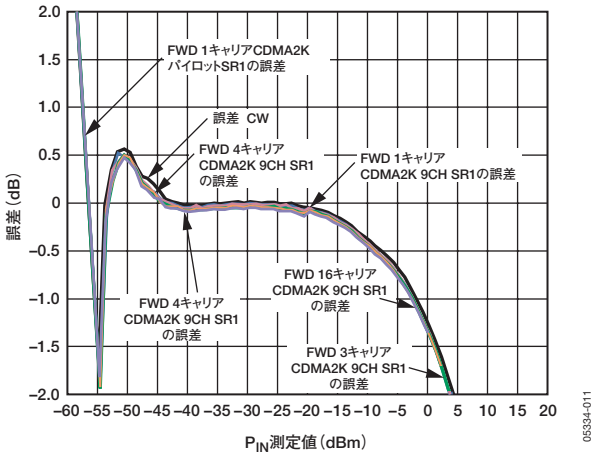

図36. 各種波形の入力振幅 対 CWリニア・リファレンスからの誤差（CW、1キャリアCDMA2000パイロットCH SR1、1キャリアCDMA2000 9CH SR1、3キャリアCDMA2000 9CH SR1、4キャリアCDMA2000 9CH SR1、16キャリアCDMA2000 9CH SR1、周波数2.140GHz、バラン=村田LDB212G1020C-001）

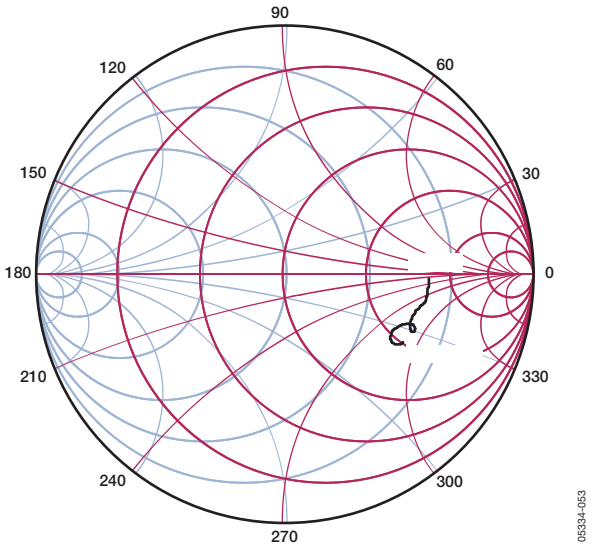

図37. 差動入力インピーダンス（S11）対 周波数（Z_O=50Ω）

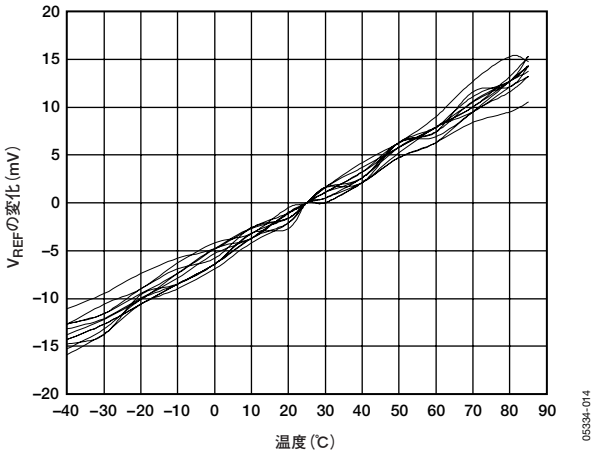

図40. 11個のデバイスのVREF変化の温度特性

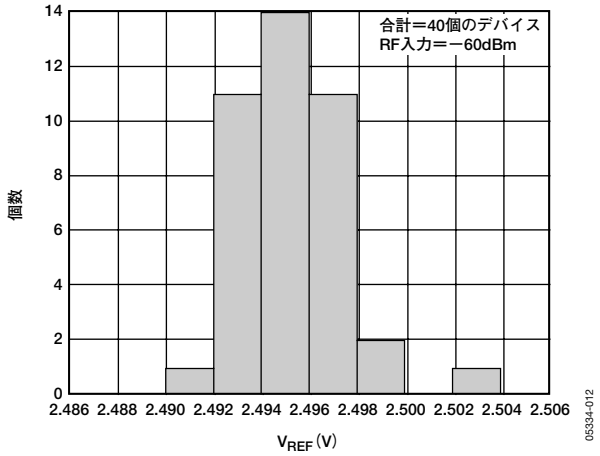

図38. 40個のデバイスのVREF分布

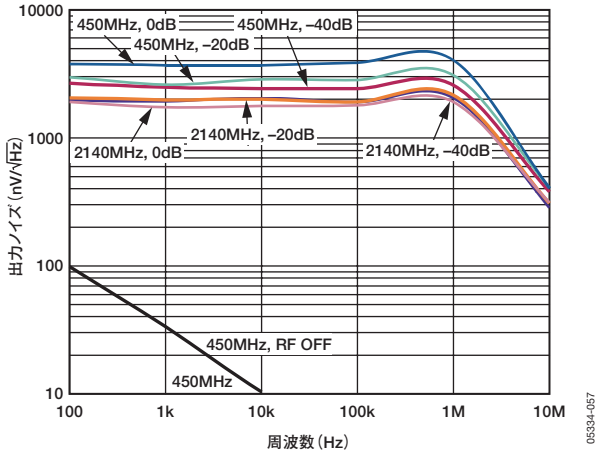

図41. OUT［A、B］のノイズ・スペクトル密度（CLP［A、B］＝オープン）

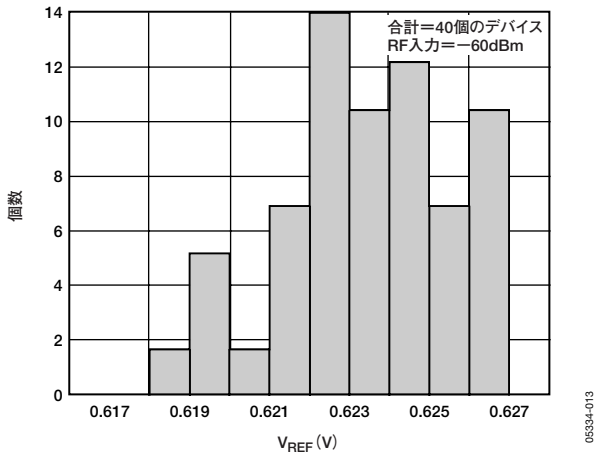

図39. 40個のデバイスのTEMP電圧分布

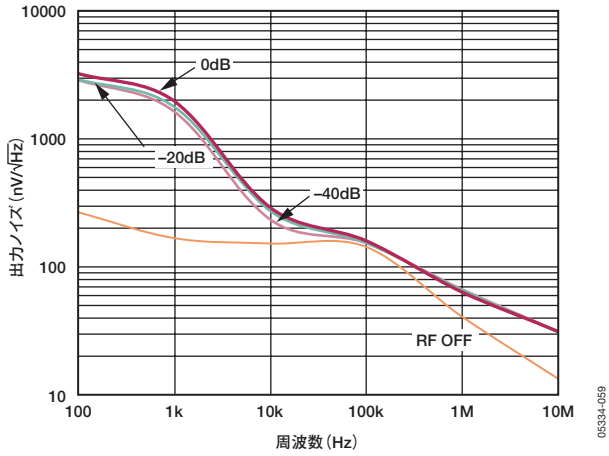

図42. OUT［P、N］のノイズ・スペクトル密度（CLP［A、B］＝0.1μF、周波数＝2,140MHz）

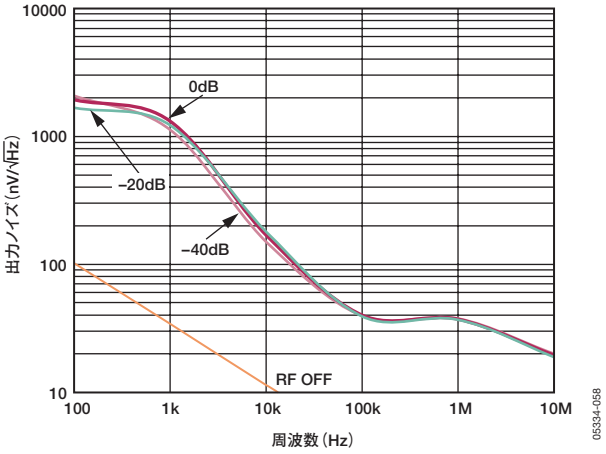

図43. OUT［A、B］のノイズ・スペクトル密度（CLP［A、B］＝0.1µF、周波数＝2,140MHz）

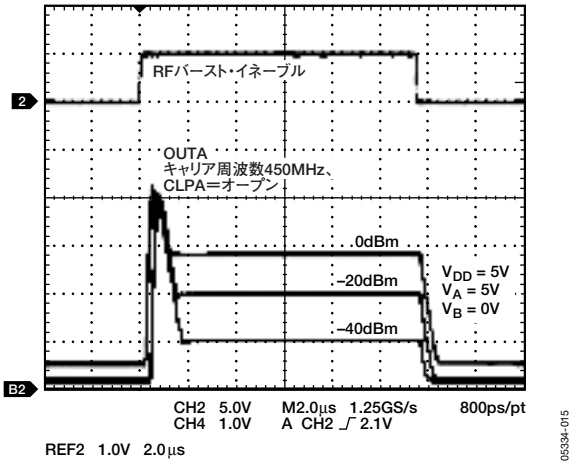

図44. 各種のRF入力レベルでのRFバースト入力に対する出力応答性（キャリア周波数450MHz、CLPA＝オープン）

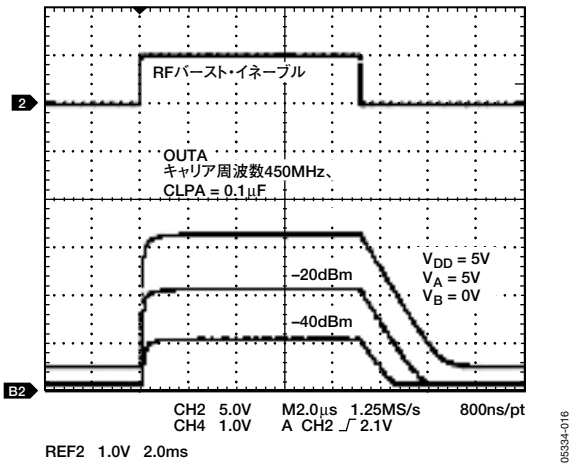

図45. 各種のRF入力レベルでのRFバースト入力に対する出力応答性（キャリア周波数450MHz、CLPA＝0.1µF）

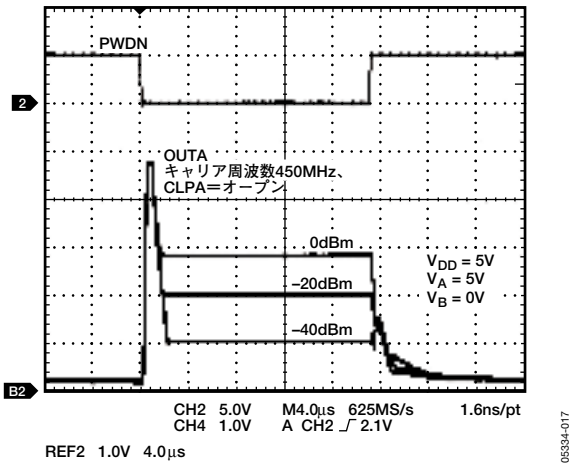

図46. 各種のRF入力レベルでパワーダウン・モードを使用するときの出力応答性（キャリア周波数450MHz、CLPA＝オープン）

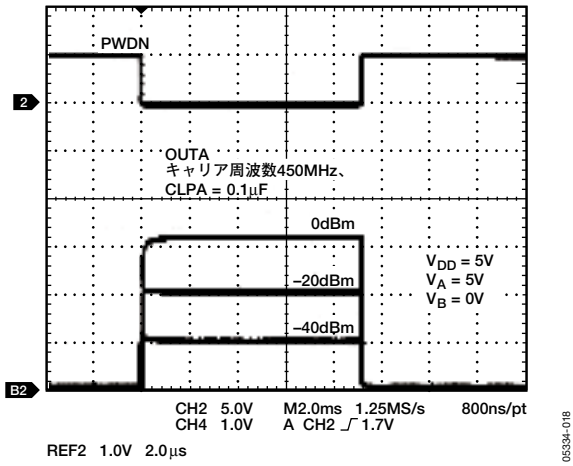

図47. 各種のRF入力レベルでパワーダウン・モードを使用するときの出力応答性（キャリア周波数450MHz、CLPA＝0.1µF、CHPA＝10nF）

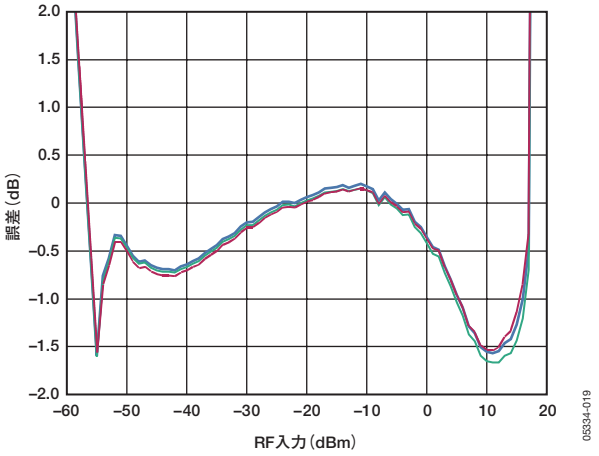

図48. VPが10%変化するときの2.14GHzでの VP（電源電圧）対 出力電圧安定性 （ADJ [A、B] ＝0.85V、サイン波、差動駆動、バラン＝村田LDB212G1020C-001）

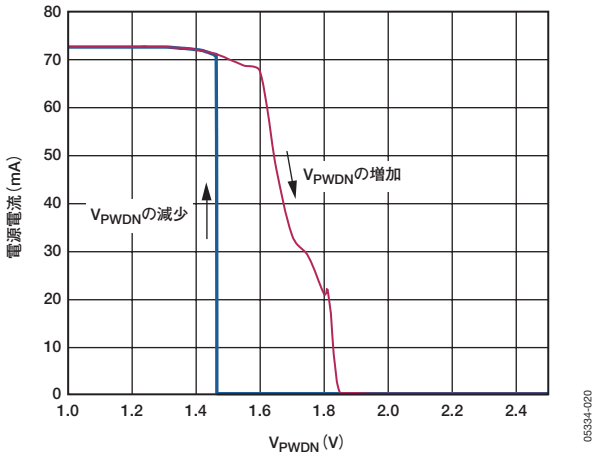

図49. V_{PWDN} 対 電源電流

概要と動作原理

AD8364は、計測範囲60dBの2チャンネル、2.7GHz、真のrms応答ディテクタです。リファレンス回路を共有する2つのAD8362チャンネルを内蔵しています（詳細はAD8362のデータシートを参照）。測定精度向上のために、AD8362コアには多くの性能改善が行われています。たとえば、対数適合性のピークtoピーク・リップル値を、ダイナミック・レンジの全域で±0.2dB未満に抑えています。また、rms出力計測の温度安定性を維持する独自の開発技術によって、−40～+85℃の仕様温度での誤差は±0.5dB未満となっています。さらに、2つのチャンネルが良好にマッチングされ、温度の変化に対して非常に安定性が高いチャンネル差分出力のOUTPとOUTNを供給します。ICの集積化によって、チャンネル間が高精度にマッチングされているため、rms計測出力のOUTAとOUTBが同じようにドリフトします。OUTPをFBKAに短絡した場合、OUTPの関数を次式で表すことができます。

$$OUTP = OUTA - OUTB + VLVL \quad (1)$$

OUTNをFBKBに短絡した場合、OUTNの関数を次式で表すことができます。

$$OUTN = OUTB - OUTA + VLVL \quad (2)$$

OUTAとOUTBの電圧差が打ち消されるため、OUTPとOUTNは一般的に発生するドリフトの影響を受けることがありません。

AD8364は数Hzから少なくとも2.7GHzまでの周波数信号で動作する能力を備えた、完全にキャリブレーション済みのrms／DCコンバータです。ログアンプとは異なり、その応答性が波形に依存しません。ピーク対rms比（クレスト・ファクタ）の高い信号波形を正確に測定します。ブロック図を図5に示します。

AD8364のシングル・チャンネルは、高性能のAGCループで構成されます。図51のように、このAGCループは広帯域幅の可変ゲイン・アンプ（VGA）、2乗ディテクタ、振幅ターゲット回路、出力ドライバで構成されます。機能ブロックに関する詳細は、AD8362のデータシートを参照してください。

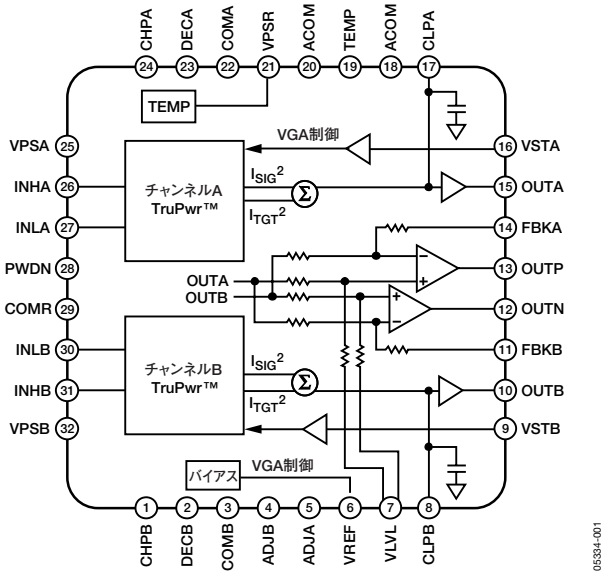

図50.　ブロック図

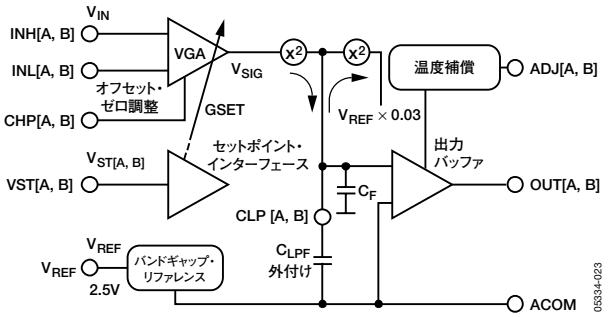

図51.　シングル・チャンネルの詳細回路図

2乗ディテクタと振幅ターゲット

V_{SIG}と呼ばれるVGA出力をワイドバンドの2乗ディテクタに印加します。ディテクタはRF入力信号に対して、クレスト・ファクタが最大6の、波形に依存しない真のrms応答を行います。ディテクタ出力I_{SQU}は、正の平均値をもつ変動電流です。I_{SQU}と内部発生電流$I_{TGT\ [A,\ B]}$間の電流差は、C_FおよびCLP［A、B］に接続されたコンデンサによって積分されます。C_Fはオンチップの25pFフィルタ用コンデンサです。CLP［A、B］を使用して平均化時間を延長できますが、そのトレードオフとして応答時間が遅くなります。AGCループが平衡状態のとき以下の式が成り立ちます。

$$MEAN(I_{SQU}) = I_{TGT[A,\ B]} \quad (3)$$

この平衡状態が発生するのは、以下の関係式が成り立つ場合に限られます。

$$MEAN(V_{SIG}^2) = V_{TGT[A,\ B]}^2 \quad (4)$$

ここで、V_{TGT}はVREFが減衰した電圧です。

2乗ディテクタは電気的に同等であり、しかも良好にマッチングされているため、プロセスと温度に依存する変動を効果的に打ち消します。

VGAのセットポイントを変更して、上記の同一性を強制的に設定すると、以下の関係式が成り立ちます。

$$RMS(V_{SIG}) = \sqrt{(MEAN(V_{SIG}^2))} = \sqrt{(V_{TGT}^2)} = V_{TGT} \quad (5)$$

V_{SIG}の値を代入すると、以下のようになります。

$$RMS(G0 \times RF_{IN} \exp(-VST[A, B]/V_{GNS})) = V_{TGT} \quad (6)$$

2乗ディテクタを計測デバイスとして接続すると、VST［A、B］＝OUT［A、B］となります。RF_{IN}の関数としてOUT［A、B］を求める式は以下のようになります。

$$OUT[A, B] = V_{SLOPE} \times \mathrm{Log10}(RMS(RF_{IN})/V_Z) \quad (7)$$

ここで、V_{SLOPE}は100MHzで1V/ディケード（＝50mV/dB）にレーザ・トリミングされます。$RMS(RF_{IN}) = V_Z$のとき、Log 10（1）＝0となるため、V_Zはインターセプト電圧です。必要に応じて、OUT［A、B］から抵抗分圧器を使用してVST［A、B］を駆動することによって、V_{SLOPE}の実効値を変更できます。インターセプト電圧V_Zも同様に、CW信号が100MHzのとき180μV（50Ωに対して−62dBm）にレーザ・トリミングされます。差動駆動ではOUT［A、B］が−55dBmを下回る入力に対して応答しないため、このV_Zは外挿された値になります。

ほとんどのアプリケーションでは、AGCループはセットポイント・インターフェースのVST［A、B］を経由して閉じます。計測モードでは、OUT［A、B］はそれぞれVST［A、B］に接続されます。コントローラ・モードでは、制御電圧をVST［A、B］に印加します。OUT［A、B］の各ピンは、システムの制御入力を駆動します。各入力ピンのRF帰還信号は、VSTAまたはVSTBに基づくrms値になるように強制設定されます。

RF入力インターフェース

AD8364のRF入力は、図52のように接続します。DEC［A、B］とINH［A、B］間、DEC［A、B］とINL［A、B］間には100Ωの抵抗を接続しています。DEC［A、B］ピンのDCレベルは、（7×VPS［A、B］＋55×V_{BE}）/30に設定されます。5V電源の場合、DEC［A、B］は約2.5Vです。

入力信号とINH［A、B］ピン、INL［A、B］ピンとの間に信号カップリング・コンデンサを接続する必要があります。ハイパス・コーナー周波数は以下の式から求めます。

$$f_{high\text{-}pass} = 1/(2 \times \pi \times 100 \times C) \quad (8)$$

デカップリング用コンデンサをDEC［A、B］とグラウンド間に接続して、ミッドポイントの信号を減衰してください。100pFと0.1μFのコンデンサをDEC［A、B］とグラウンド間に接続し、さらに1.6MHzよりも高い信号を測定できるように1nFのカップリング・コンデンサを外付けすることを推奨します。信号が1.6MHzよりも低い場合、通常は100倍ほどのカップリング・コンデンサをDEC［A、B］に接続できます。

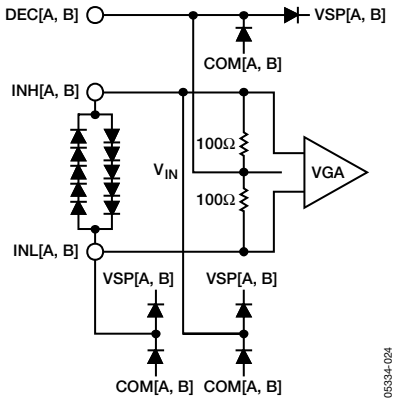

図52. AD8364のRF入力

オフセットの補償

VGAで発生する微小なDCオフセットに対処するために、オフセット・ゼロ調整ループを使用します。このループのハイパス・コーナー周波数は、内蔵の25pF（1/(2×5K×25pF)）のコンデンサを使用し、ほとんどのHFアプリケーションに対応できるよう、約1MHzという低い値に内部でプリセットされています。コンデンサをCHP［A、B］とグラウンド間に接続して、このハイパス・コーナー周波数を低減できます。入力オフセット電圧は、VGAの実際の動作ゲイン、すなわち入力信号振幅に応じて変化します。そのコンデンサに極端に大きい値を使用すると、オフセット補正プロセスがVGAゲインの目まぐるしい変化に追いつけず、一定の入力振幅に対してループが完全にセトリングするまでの所要時間が長くなります。

温度センサー・インターフェース

AD8364は、約1.6mAの電流を駆動できる温度センサー出力を供給します。330Ωの等価内部抵抗がTEMPとCOMR間に接続されており、電流シンクが可能です。出力電圧の温度スケーリング・ファクタは約2mV/℃です。25℃での絶対電圧の代表値は約620mVです。

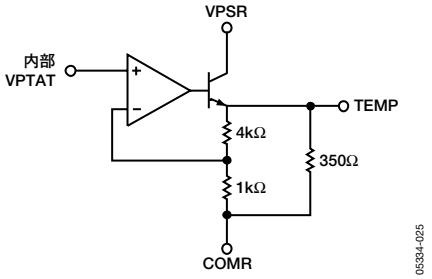

図53. TEMPインターフェースの簡略回路図

VREFインターフェース

VREFピンから内部電圧リファレンスを供給します。VREF電圧は、約18mAの電流を駆動できる温度安定性の高い2.5Vのリファレンスです。830Ωの等価内部抵抗がVREFとACOM間に接続されており、3mAの電流シンクが可能です。

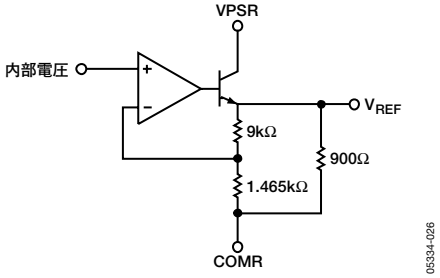

図54. VREFインターフェースの簡略回路図

パワーダウン・インターフェース

25℃におけるAD8364の動作電流とスタンバイ電流は、それぞれ約70mA、約500μAです。PWDNピンは、2本の42kΩ抵抗からなる内部抵抗分圧器に接続されています。分圧器の電圧はNPNトランジスタのベースに印加され、これによってデバイスのアクティブ時にパワーダウン状態が強制的に設定されます。通常は、PWDNが2Vよりも高い電圧に引き込まれると、デバイスがパワーダウンします。図46と図47には、各種のRF入力レベルでの代表的な応答時間を示します。出力は約1.6μsでその定常状態値の0.1dB以内に達します。リファレンス電圧は通常よりも大幅に短い時間で最高精度まで到達できます。このウェークアップ応答性は、入力カップリングの手段とCDEC［A、B］、CHP［A、B］、CLP［A、B］に接続するコンデンサの容量に応じて変動します。

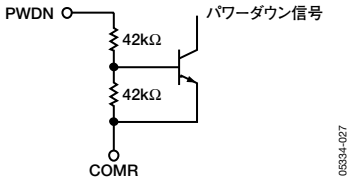

図55. PWDNインターフェースの簡略回路図

VST［A、B］インターフェース

VST［A、B］インターフェースは、72kΩの高い入力インピーダンスを備えています。VST［A、B］の電圧は、VGAゲインのステアリングに使用する内部電流に変換されます。VGAの減衰制御は、20dB/Vに設定されています。

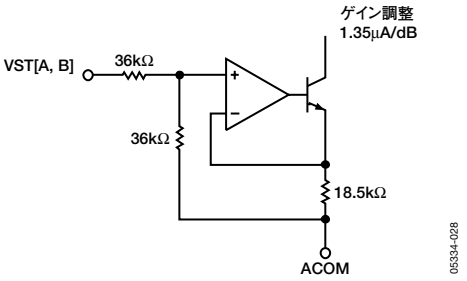

図56. VST［A、B］インターフェースの簡略回路図

OUT［A、B、P、N］出力

AD8364で使用する出力ドライバは、AD8362の出力段とは異なります。AD8364は、プルアップおよびプルダウン能力を備えるレールtoレールの出力ドライバを内蔵しています。出力ノイズは、100kHzで約40nV/$\sqrt{\text{Hz}}$です。OUT［A、B、P、N］出力は、70mAまでの電流をソースおよびシンクできます。OUTAおよびOUTBとACOM間には2.5kΩの内部負荷もあります。

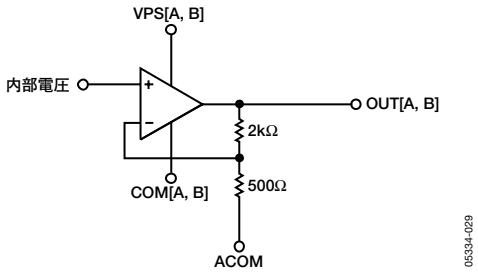

図57. OUT［A、B］インターフェースの簡略回路図

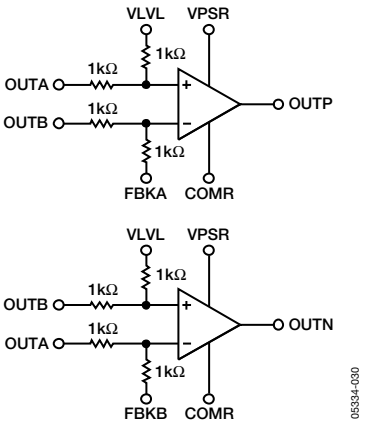

図58. OUT［P、N］インターフェースの簡略回路図

OUT［P、N］を使用した計測チャンネル差分出力

AD8364は、チャンネル差分出力を供給するためのレールtoレール出力機能を持った2個のオペアンプを内蔵しています。OUT［A、B］の出力ドライバと同様、これらの出力段は70mAの電流を駆動できます。出力ノイズは、100kHzで約40nV/√Hz です。OUTAとOUTBは、1kΩの抵抗を経由して各オペアンプの入力に内部的に接続されています。VLVLピンは1kΩの抵抗を経由して各オペアンプの正側端子に接続され、レベル・シフト動作を行います。1kΩの抵抗を経由して負側の帰還端子も利用できます。入力インピーダンスはVLVLで1kΩ、FBK［A、B］で2kΩです。ピンの接続については、図59を参照してください。

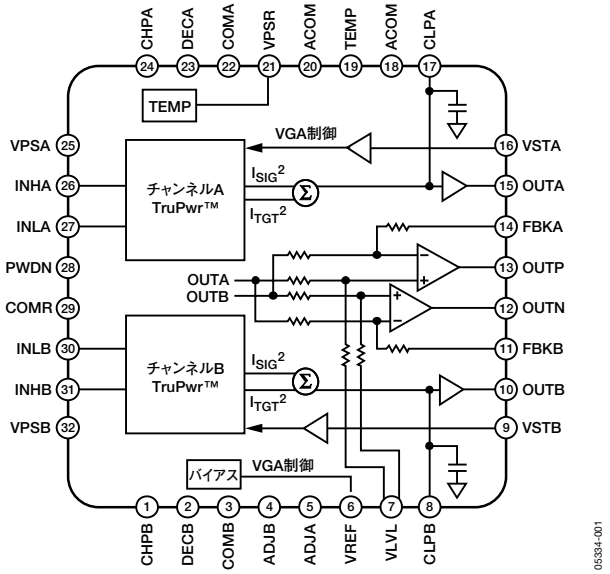

図59. オペアンプ接続（抵抗はすべて1kΩ±20%）

OUTPをFBKAに接続する場合、OUTPは以下の式から求めます。

$$OUTP = OUTA - OUTB + VLVL \quad (9)$$

OUTNをFBKBに接続する場合、OUTNは以下の式から求めます。

$$OUTN = OUTB - OUTA + VLVL \quad (10)$$

この設定では、OUT［A、B、P、N］の4つの計測出力をすべて同時に利用できます。チャンネル差分出力はOUTP－OUTNから求められ、VLVLを使用してADC接続の同相レベルを調整できます。

コントローラ・モード

チャンネル差分出力を利用してAD8364のRF入力の帰還ループを制御できます。FBKAとOUTP間に接続された1本のコンデンサが積分器を構成しますが、オンチップの1kΩ帰還抵抗がゼロになる点に留意してください（オンチップ抵抗は、製造プロセスの変動に応じて最大±20%まで誤差を持ちます）。チャンネルAを駆動し、チャンネルBでOUTPからPAを経由して帰還ループを形成する場合、OUTPは以下の式から求められる電圧値に積分されます。

$$OUTB = (OUTA + VLVL)/2 \quad (11)$$

OUTNからの出力値は、役に立たないこともありますが、以下のように表されます。

$$OUTN = 0\text{V} \quad (12)$$

上の式は、VLVL＜OUTA/3の場合です。

上記以外の場合は、以下の式になります。

$$OUTN = (3 \times VLVL - OUTA)/2 \quad (13)$$

VLVLをOUTAに接続すると、OUTBは帰還ループを経由してOUTAと等しくなるように強制設定されます。この柔軟性により、所定のパワー・レベルと周波数で動作する1つのチャンネルを測定すると同時に、もう一方のチャンネルを異なる周波数で所望のパワー・レベルに強制設定できます。計測出力の温度ドリフトを低く抑えるために、ADJAとADJBを異なる電圧レベルに設定してください。温度ドリフトは、チャンネルAとチャンネルBから発生するドリフトの統計合計値です。前述したように、VLVLを利用すれば、スレーブ・チャンネルをもう一方のチャンネルと異なるパワー・レベルで動作するように強制設定できます。2つのチャンネルを強制的に異なるパワー・レベルに設定した場合は、IC内部の金属配線間の電圧降下によりスタティックなオフセットが発生します。

帰還ループで反転が必要な場合は、OUTNとOUTP間にコンデンサを接続する方法で、OUTNを積分器として使用できます。これにともない、OUTBとOUTPを求める出力式が以下のようになります。

$$OUTB = 2 \times OUTA - VLVL \quad (14)$$

VLVL＜OUTA/2の場合は、以下のようになります。

$$OUTN = 0\text{V} \quad (15)$$

上記以外の場合は、以下の式になります。

$$OUTN = 2 \times VLVL - OUTA \quad (16)$$

チャンネルAを駆動し、チャンネルBを帰還ループを経由するスレーブ・チャンネルとして使用するときは、上の式が有効です。チャンネルBを駆動し、チャンネルAをスレーブ・チャンネルとして使用するときは、上の式のOUTBをOUTA、OUTNをOUTPとします。

RF計測モードの基本接続

AD8364の動作には公称値5Vの単電源が必要です。この電源をVPSA、VPSB、VPSRの3本の電源ピンに接続します。図60に示す値と等しいか近い容量のコンデンサを2本接続して、この各ピンをデカップリングしてください。これらのコンデンサは入力周波数の全範囲で低インピーダンスを維持する必要があり、VPOSピンになるべく近接して配置します。異なる値の2本のコンデンサを並列に接続することによって、グラウンドに広帯域ACの短絡が行われます。

入力信号は差動で加えられます。AD8364のRF入力は、200Ωの差動入力インピーダンスを備えています。AD8364のRF入力を50Ωの信号源から駆動するときは、4:1のバラン・トランスを使用して必要なインピーダンス変換を行うことを推奨します。入力をシングルエンドでも駆動できますが、そのときはrmsディテクタの計測範囲が狭くなります（「シングルエンド入力動作」を参照）。

表4. AD8364の特性評価に使用するバラン

周波数	バラン
450MHz	MIA-COM ETK4-2T
880MHz	Mini-Circuits JTX-4-10T
1880MHz	村田LDB181G8820C-110
2140MHz	村田LDB212G1020C-001
2500MHz	村田LDB182G4520C-110

このデバイスを計測モードに設定するときは、OUTA、OUTBをVSTA、VSTBに接続します。この接続によってデバイス内部のAGCループが閉じ、OUT［A、B］をVGA制御電圧として使用します。この電圧は、内部の2乗ディテクタの入力に正しいrms電圧を印加するために必要です。

チャンネルAとチャンネルBの入力信号が、＋10～－50dBmの公称入力ダイナミック・レンジで掃引されるとき、出力振幅は0～3.5Vになります。OUTAとOUTBの電圧も同様に、ゲインが2のディファレンス・アンプに内部で印加されます。したがって、INAとINB間のdB差がおよそ－30～＋30dBになるとき、OUTPとOUTN上の差電圧の振幅は－3.5～＋3.5Vとなります。INAとINBの絶対入力レベルが＋10～－50dBmの範囲内に入っている限り、±30dBよりも大きい入力レベル差を測定できます。ただし、INAとINB間の大きいレベル差の計測は、オンチップ信号の漏れ電流による影響を受けます（「チャンネル・アイソレーション」を参照）。OUTPとOUTNのコモンモード・レベルは、VLVLに印加される電圧によって設定されます。VREFをVLVLに接続することにより、これらの出力を2.5Vのコモンモード電圧まで容易にバイアスできます。ゲイン・レンジが掃引されると、OUTPの出力振幅は約1～4.5V、OUTNの出力振幅は約4.5～1Vとなります。

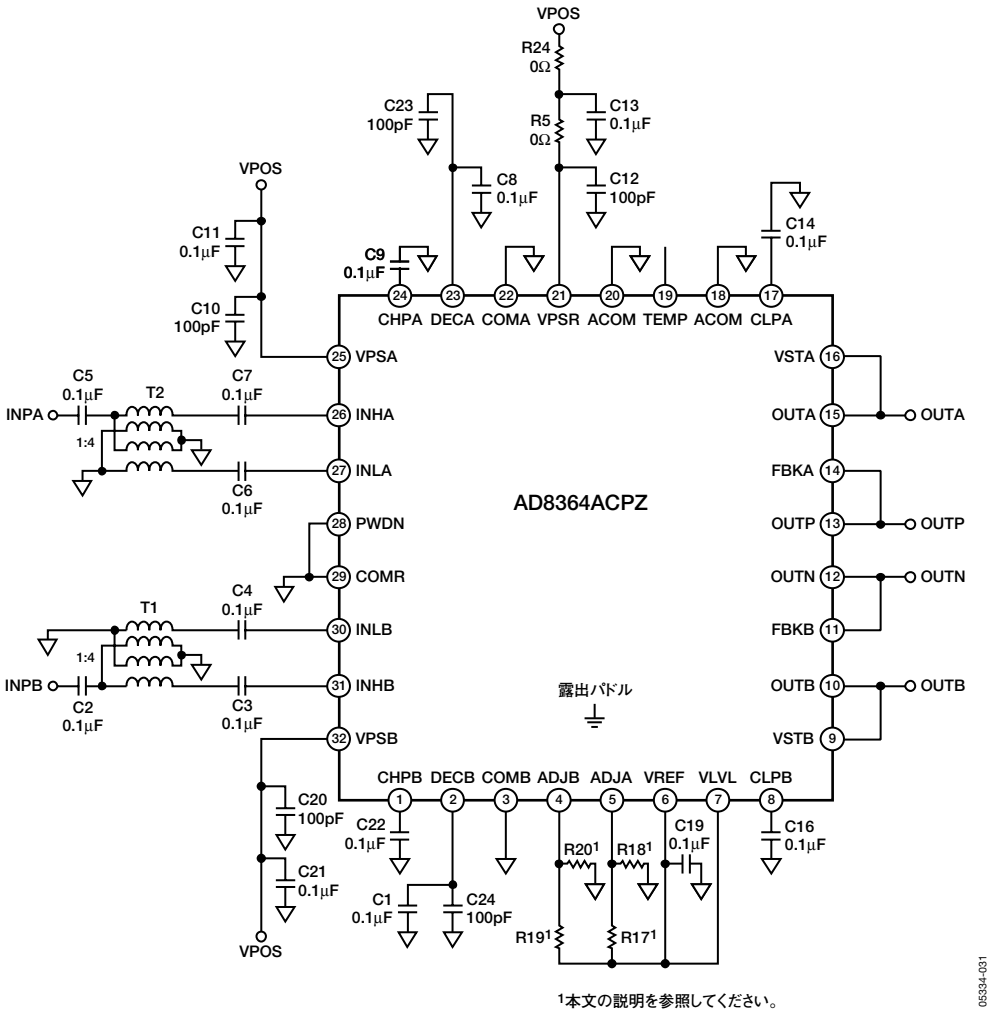

図60. 計測モード動作の基本接続

コントローラ・モードの基本接続

AD8364は計測デバイスとして使用できるほか、rms信号レベルの計測・制御用に構成できます。AD8364には2つのコントローラ・モードがあります。2個のrmsログディテクタを別々に構成して、可変ゲイン・アンプ（VGA）や可変電圧減衰器（VVA）の出力パワー・レベルを設定し、制御できます。また、2個のrmsログディテクタを1つに構成して、アンプやシグナル・チェーンのゲインを計測し、制御できます。

自動パワー制御

図61は、デバイスを出力パワーの制御用に構成する方法を示します。

デバイスへのRF入力は前述したように構成されています。ディレクショナル・カプラは、VGAが生成するパワーの一部を分岐します（通常は10～20dBのカプラを使用します）。シグナル・チェーンの次の段から反射されるエネルギーを考慮する必要がない場合は、ディレクショナル・カプラの代わりにパワー・スプリッタを使用できます。場合によっては、減衰器を追加して、AD8364の最大入力信号を、動作周波数で最適な直線性と温度安定性を維持する推奨最大入力レベルと等しい値に設定する必要があります。

この回路では、VSTAとOUTA間は短絡していません。バイアスまたはゲイン制御電圧をOUTAからVGAに供給します。VGAのゲイン制御センシングは、負の単調性すなわち電圧の増加に応じてゲインが低下する必要があります。ただし、デバイスのゲイン制御伝達関数の制御や高い直線性は必要ではありません。VGAのゲイン制御センシングが正の傾きの場合は、DCオフセットがシフトされる反転オペアンプ回路をAD8364とVGAの間に接続して、ゲイン制御電圧を0～5Vに維持できます。

VSTAはシステムのセットポイント入力になります。出力パワーの変化が予測されるときは、図61のようにDACから駆動し、一定の出力パワーが要求されるときは、安定したリファレンス電圧から駆動できます。このDACの出力振幅は0～3.5Vとなります。AD7391とAD7393のシリアル／パラレル入力の10ビットDACは、十分な分解能（4mV/ビット）と最大4.5Vの出力振幅性能を備えています。

VSTAをある値に設定すると、AD8364はRF入力に存在する等価入力パワーとこの値を比較します。2つの値が一致しない場合、OUTAが増加または減少してシステムの平衡を維持します。OUTAを駆動する誤差アンプ／積分器回路の優性極は、CLPAピン上の容量によって設定されます。コンデンサの容量を選択するときは、実験が必要になる場合があります。一般的には、出力パワー制御の全範囲で安定したループ動作が得られるように、CLPAの値を選択してください。VGAのゲイン制御伝達関数の勾配（1VあたりのdB）が一定でない場合、ゲイン制御の勾配が最大値に達するとき安定したループが得られるようなCLPAの容量を選択する必要があります。これとは別に、rms演算が有効になるように、CLPAは内部の低レンジの2乗ディテクタに対して十分な平均化を行う必要があります。CLPAの容量を大きくすると、それにともなってループの応答性が低下する傾向が見られます。

VSTAとRF入力との関係は、デバイスの計測モードでの動作特性から得られます。たとえば、図9は880MHzでの計測モードの伝達関数を示しますが、入力パワーが−10dBmのとき、出力電圧が2.5Vであることがわかります。したがって、コントローラ・モードではVSTAを2.5Vに設定してください。このときAD8364の入力パワーは−10dBmになります。

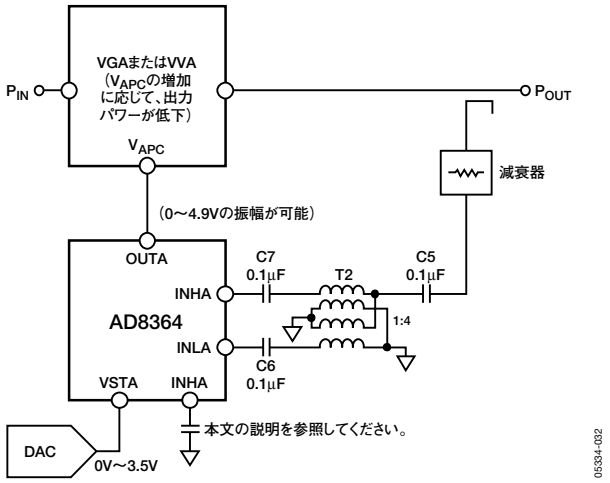

図61. コントローラ・モードでの自動パワー制御動作

自動ゲイン制御（AGC）

図62は、AD8364を接続してアンプやシグナル・チェーンの自動ゲイン制御を行う方法を示します。わかりやすくするために、他のピンは省略しています。この回路構成では、2個のrmsディテクタが計測モードで接続されており、適切なフィルタリングをCLP［A、B］上で形成して両方のチャンネル上で有効なrms演算結果が得られるようになっています。ただし、内蔵のディファレンス・アンプのVLVLピンにもOUTAが接続されています。さらに、ディファレンス・アンプのOUTP出力は可変ゲイン素子（VVAまたはVGA）を駆動し、積分器として動作するように、1本のコンデンサを経由してFBKA入力に帰還接続されています。

OUTAの値がOUTBよりも大幅に高いとします。OUTAはVLVLも駆動するため、この電圧はOUTPを駆動するオペアンプの非反転入力にも加えられます。その結果、正味電流がOUTPから積分コンデンサを経由してFBKA入力に流れます。これにともなって、OUTP上の電圧が増加します。VVA/VGAのゲイン制御伝達関数が正の場合は、これによってゲインが増加し、INHBの入力信号が増加します。積分器の出力電圧は、2つの入力チャンネル上のパワーが等しくなるまで増加を続けるため、シグナル・チェーンのゲインはユニティになります。

0dB以外のゲインが必要な場合は、図62のようにRF経路の1つに減衰器を接続できます。また、パワー・スプリッタまたはさまざまなカップリング係数のディレクショナル・カプラも利用できます。便利なオプションとして、OUTA以外の電圧をVLVLに加える方法もあります。詳細は式11と「コントローラ・モード」を参照してください。

VGA/VVAのゲイン制御センシングが負の傾きの場合は、ディファレンス・アンプのOUTN出力を、FBKBに帰還接続する積分コンデンサとともに使用できます。

積分コンデンサの容量によって、AGCループの応答時間が左右されます。この容量が小さければ応答時間は高速化しますが、安定性が損われるおそれがあります。逆に容量を大きくすると、応答時間が短くなります。このモードでは、rms平均化を実行するCLPAおよびCLPB上のコンデンサを使用する必要がありますが、これらのコンデンサはループの応答時間に悪影響を及ぼすことがある点にも注意してください。

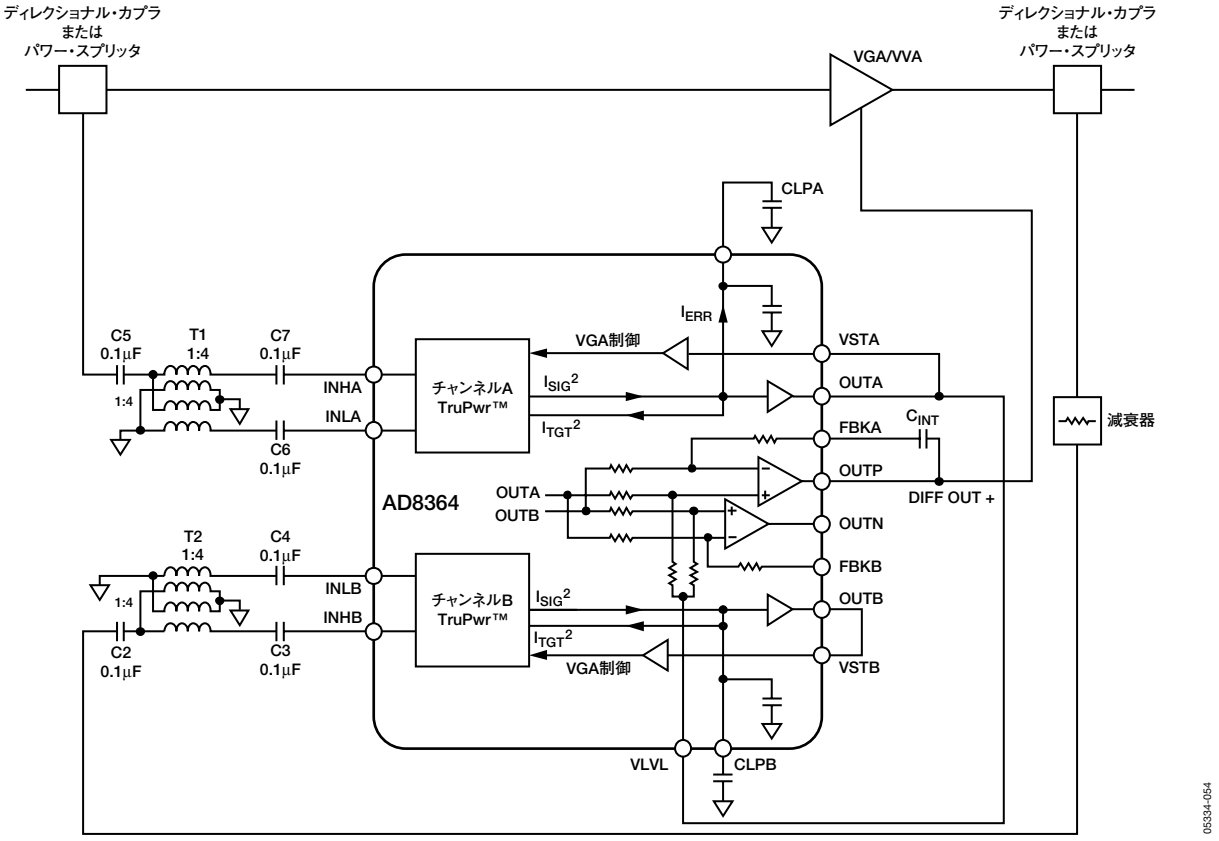

図62.　コントローラ・モードでの自動ゲイン制御動作

一定出力パワー動作

AD8364をコントローラ・モードで使用するときは、幅広い温度／入力パワーにわたって出力パワーを一定のレベルに維持できます。ハイパワーアンプ（HPA）を駆動する基地局の送信モジュールなどのように、パワー変動の影響を受けやすい複数のモジュールを相互に接続するシステムで活用できます。安定した出力パワーが要求されるアプリケーションでは、カプラを使用してRF出力をチャンネルBに接続し、VLVLをVREFに接続するとともに、VSTBを使用してパワーを特定のレベルに設定します。VSTBはDACまたはDC電圧を使用して制御できます。さらに、OUTBを使用して負のゲイン法則適合性を持つアンプ（AD8367など）のゲイン制御を駆動し、ADJB（この例では0Vに設定）を温度ドリフトの制御に使用します。この回路構成では、AD8343を使用してRF入力信号を80MHzまでダウン変換し、AD8367を使用して増幅します。次に信号を分離し、その一部をAD8364のチャンネルBにフィードバックし、セットポイント電圧をVSTBに加えます。この電圧は、AD8364の勾配によって決定される特定のパワー・レベルです。AD8364の入力で検出したパワーをこの電圧と比較し、セットポイント電圧と入力で検出したパワーが一致するように、OUTB上の電圧を増減調整します。OUTB電圧は、VGAとして使用するAD8367のゲイン制御に接続し、AD8367のゲインを増減調整するため、入力パワーの変動とは無関係に、出力パワーを一定のレベルに維持できます。AD8367の入力パワーが変動する場合も、AD8364はAD8367が出力するパワーを一定に維持できます。入力パワーは36dBの範囲で変化することがありますが、出力パワーは一定のレベルを保ち、温度ドリフトは0.2dB未満に抑えられます。

図64は、AD8364とAD8367 VGAを用いた一定出力パワー回路を示します。この回路では、入力パワーを＋3～－35dBmで掃引し、－40～＋85℃の複数の温度ポイントで出力パワーを測定し、さらにパワーの変動を±0.07dB以下としています（図63）。

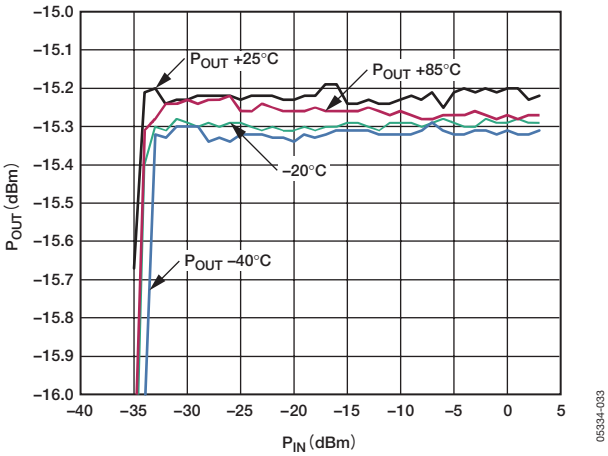

図63. AD8364の一定パワー性能

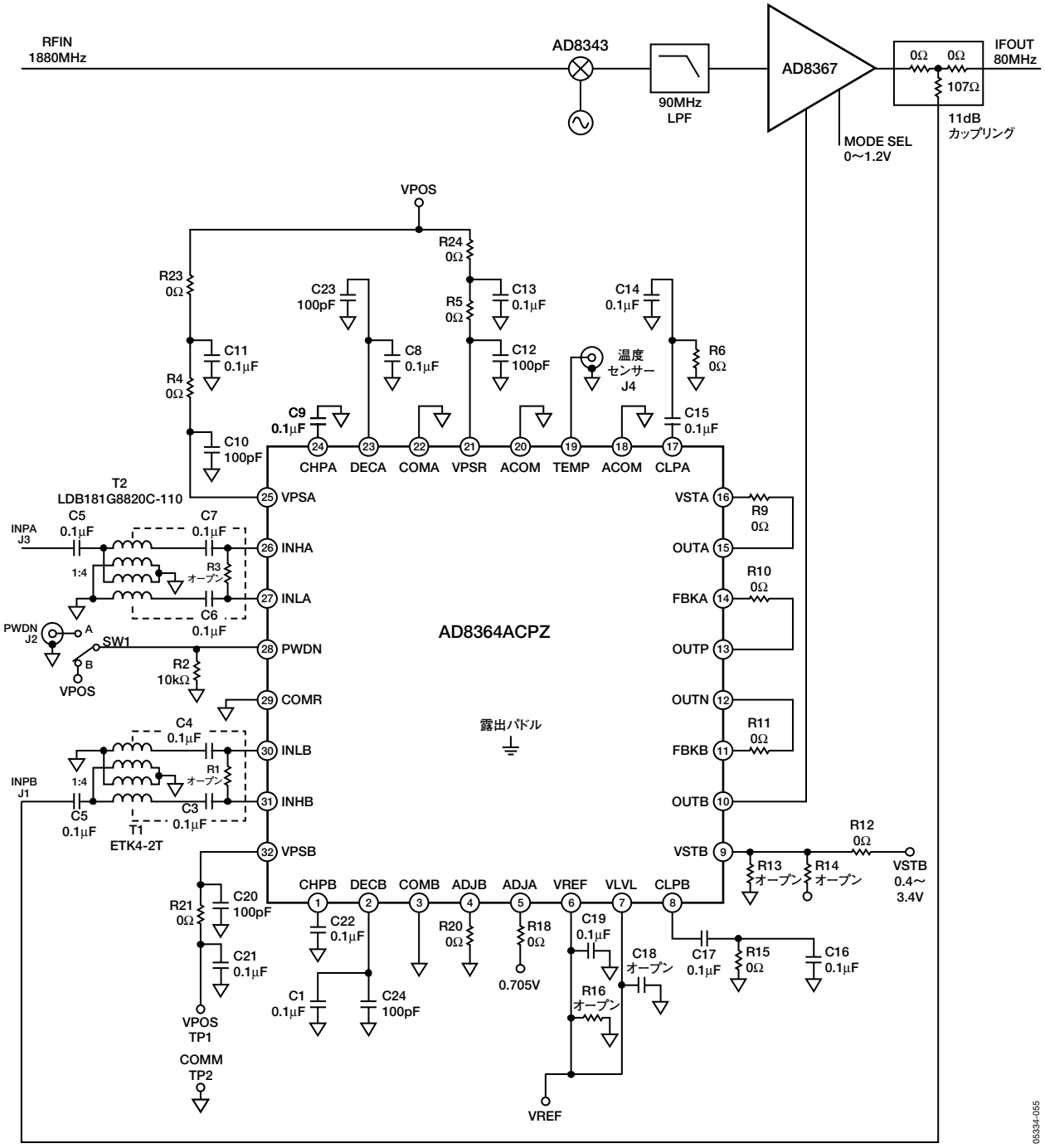

図64.　一定出力パワー回路

ゲイン安定性に優れたトランスミッタ／レシーバ

高精度の温度安定性ゲインを備えたトランスミッタやレシーバには、さまざまなアプリケーションがあります。たとえば、デジタル・プリディストーションを採用するマルチキャリア基地局向けのハイパワーアンプ（HPA）は、パワー・ディテクタと補助レシーバを備えています。補助レシーバで高精度の温度安定性ゲインを設定できれば、パワー・ディテクタとその関連部品のすべてが不要になります。設定ゲイン・レシーバを利用して、補助レシーバに搭載するADCが送信パワー全体を測定できるだけでなく、マルチキャリアHPAの各キャリアのパワーも測定できます。

AD8364をコントローラ・モードで使用するときは、幅広い入力パワー／温度にわたってレシーバのゲインを一定のレベルに維持できます。このアプリケーションでは、チャンネル差分出力を利用して、レシーバのゲインを一定のレベルに維持します。

19.1dBのカプラを使用してRF入力をINPAに接続し、ダウン変換されたシグナル・チェーンからの出力を10.78dBのカプラを経由してINPBに接続します。FBKAとOUTP間に0.1µFコンデンサを接続して、積分器を構成します。OUTAをVLVLに接続し、OUTBがOUTAの値と等しくなるよう、OUTPでVGAの調整が強制的に実行されます。回路のゲインは、入力および出力カプラの結合値の差によって設定されます。前述のように、必要に応じてゲインを増減調整し、AD8364の各入力におけるパワーの振幅を強制的に等しくするよう、OUTPを使用してADL5330のゲイン制御を駆動します。異なる周波数で動作するため、ADJ［A、B］ピンに適切な電圧を供給する必要があります。INPAは1,880MHzで動作するため、ADJAを0.75Vに設定します。INPBは80MHzで動作するため、ADJBを0Vに設定します。

カプラ値の差が8.32dBであるため、固定ゲインは−8.32dBと予想されますが、実際には−13dBとなります。原因は、周波数応答によるAD8364のインターセプト・シフト、出力カプラの挿入損失、AD8364の入力で使用するバランの挿入損失差です。この回路構成では、約33dBのゲイン制御レンジと0.5dBの温度ドリフト性能が得られます。

図66は、AD8364を使用してADL5330 VGAとAD8343ミキサを制御する、ゲイン安定性に優れたレシーバ・アンプ回路を示します。入力パワーを＋3～－35dBmで掃引して、出力パワーを測定し、－40～＋85℃の複数の温度ポイントでゲインを計算しました。この範囲におけるゲイン変化は±0.45dB以下でした（図65）。ゲイン変化の大部分は、異なる周波数での性能差によるものです。

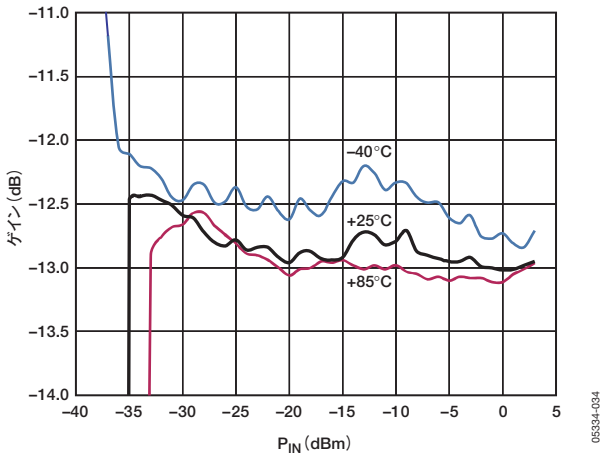

図65.　ゲイン安定性に優れたレシーバの性能

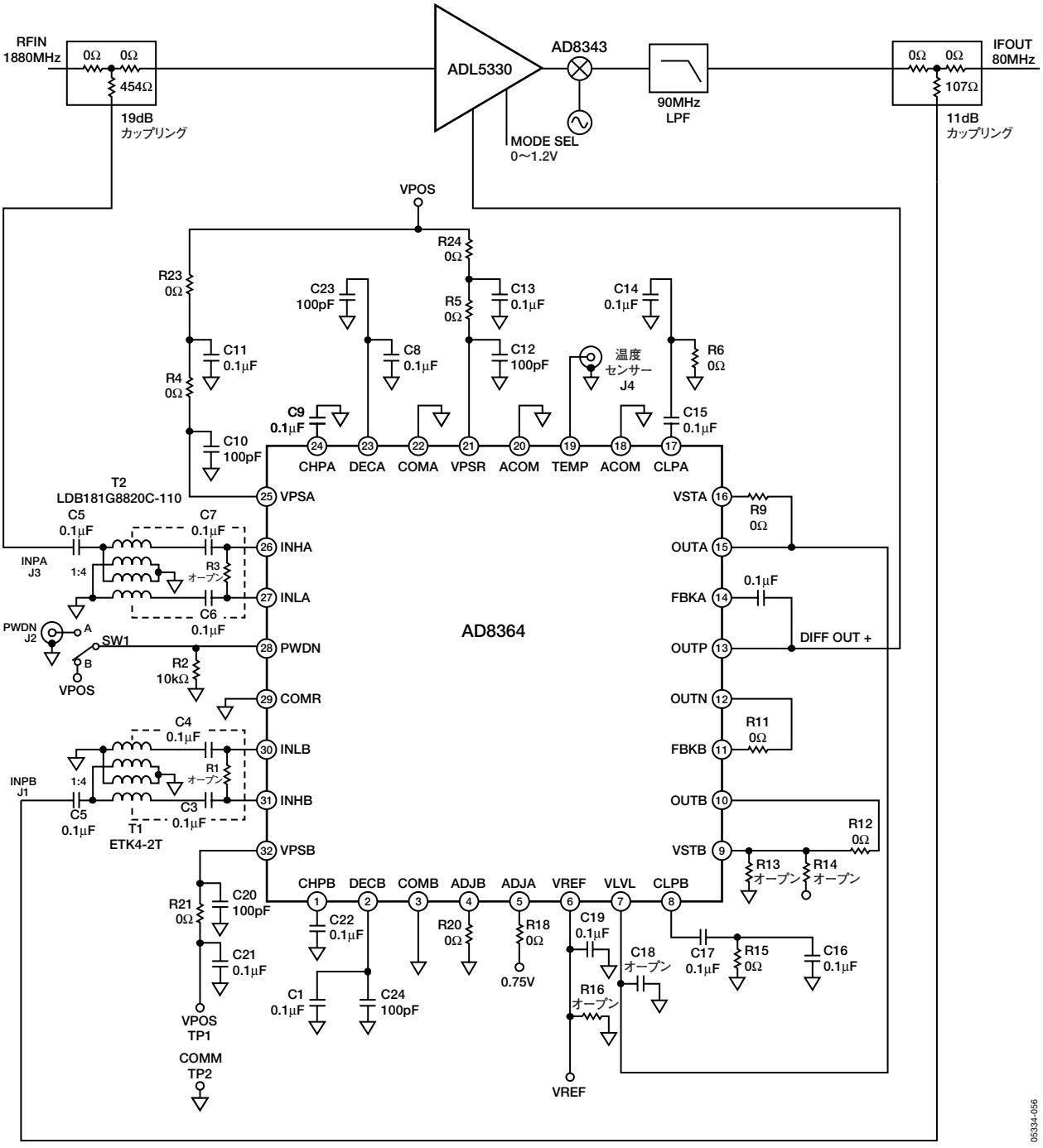

図66.　ゲイン安定性に優れたレシーバ回路

温度の補償調整

AD8364は、温度安定性のきわめて高い計測出力を備えています。しかし、RF入力の周波数が600MHzを超えるときは、ADJ［A、B］を使用して出力の温度ドリフトを補償し、性能を最適化する必要があります。温度ドリフトの補償には、独自技術を採用しています。補償の絶対値は、周波数、バランの選択、PCボードの材料によって異なります。表5は、推奨のバランを使用する場合、定格温度範囲の全域で温度ドリフト誤差を±0.5dB（代表値）以下に抑えるためのADJ［A、B］の推奨電圧です。

表5. ADJ［A、B］の推奨電圧

周波数（MHz）	450	880	1880	2140	2500
ADJ［A、B］（V）	0	0.5	0.65	0.85	1.10

ADJ［A、B］を使用してデバイスの温度ドリフトを補償する場合、非常に高い柔軟性を得られます。所定の入力パワーまたはダイナミック・レンジで温度ドリフトを最小限に抑える必要がある場合、ADJ［A、B］の電圧を掃引すると同時に、温度変化に対してOUT［A、B］をモニタできます。図67は、1,880MHzで推奨するバラン以外の広帯域のバランを使用して、掃引・モニタを行った結果です。出力の移動が最小限に抑えられたときのADJ［A、B］の値（図67の例では約0.77V）が、特定のパワーと周波数で温度ドリフトをできる限り低く抑えるためのADJ［A、B］の推奨電圧です。

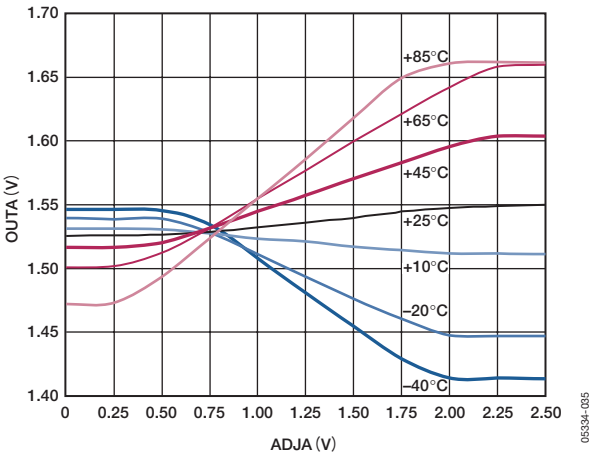

図67. 温度変化時のADJA 対 OUTA
（ピン＝−30dB、1.9GHz）

ADJ［A、B］入力は、高い入力インピーダンスを備えています。必要に応じて、抵抗分圧器を使用してVREFの減衰値から入力を駆動できます。

図68は、ADJ［A、B］インターフェースの簡略回路図です。

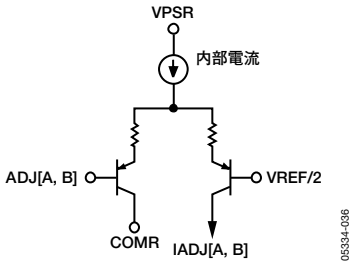

図68. ADJ［A、B］インターフェースの簡略回路図

デバイスのキャリブレーションと誤差の計算

2.14GHzで測定したAD8364の伝達関数を図69に示します。入力パワー対出力電圧と入力パワー対計算誤差の両方をプロットしています。入力パワーが−50dBmから0dBmまで変動するとき、出力電圧は0.4Vから約2.8Vまで変化します。

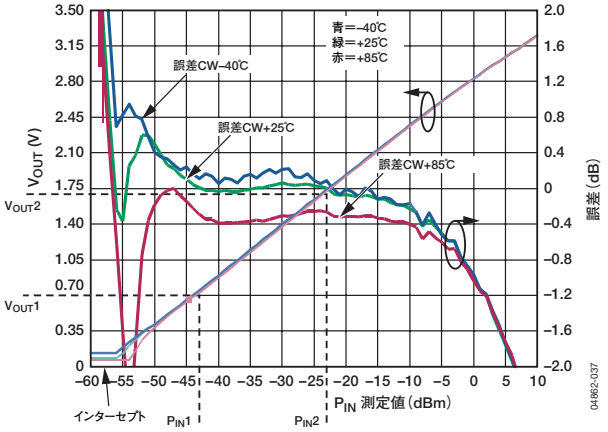

図69. 2.14GHzでの伝達関数

勾配とインターセプトはデバイスによって異なるため、高い精度を得るためには幅広いレベルのキャリブレーションが必要になります。出力電圧を求める式は以下のとおりです。

$$V_{OUT}=\text{勾配}\times(P_{IN}-\text{インターセプト})$$

ここで、勾配は出力電圧の変化をパワーの変化（dB）で除算した値であり、インターセプトは出力電圧が0Vのときのパワー計算値です（インターセプトは理論値であり、実際には出力電圧が0Vになることはありません）。

通常、キャリブレーションを行う場合は、2つの既知の信号レベルをAD8364の入力に加え、これに対応する出力電圧を測定します。キャリブレーション・ポイントは一般的にデバイスのデシベル・リニアの動作範囲内で選択します（詳細は「仕様」を参照してください）。

勾配とインターセプトの計算には、以下の式を用います。

$$勾配 = (V_{OUT1} - V_{OUT2}) / (P_{IN1} - P_{IN2})$$

$$インターセプト = P_{IN1} - (V_{OUT1}/勾配)$$

勾配とインターセプトを算出したら、ディテクタの出力電圧に基づいて入力パワーの計算を行うと以下の式が成立します。

$$P_{IN}(未知) = (V_{OUT1(測定値)}/勾配) + インターセプト$$

計算されたパワーの対数適合性誤差は、以下の式から求めます。

$$誤差(dB) = (V_{OUT1(測定値)} - V_{OUT(理想値)})/勾配$$

図69には、ログアンプのキャリブレーション温度である25℃での誤差もプロットしています。この誤差はゼロではありません。ログアンプは、動作範囲内であってもP$_{IN}$対V$_{OUT}$の理想式に従って動作しないためです。ただし、キャリブレーション・ポイント（この例では−43dBmと−23dBm）における誤差は、当然ながらゼロとなります。

図69には、−40℃と+85℃での出力電圧の誤差もプロットしています。この誤差は、25℃での勾配とインターセプトを使用して計算したものです。これは温度によるキャリブレーションが実際的ではない大量生産環境におけるキャリブレーションに対応しています。

入力レンジを下げて精度を改善するためのキャリブレーション・ポイントの選択

アプリケーションによっては、ある1つのパワー・レベルまたは狭い入力レンジで非常に高い精度が要求されます。たとえばワイヤレス・トランスミッタでは、最高またはそれに近いパワー・レベルのときのハイパワーアンプ（HPA）の精度が最も重要となります。

図69と同じ測定データを図70に示します。精度は−10～−25dBmで非常に高くなっています。キャリブレーション・ポイントを−15dBmと−25dBmに変更したため、−45dBm近傍では誤差が約−0.3dBに増加しています。

実際のアプリケーションに即してキャリブレーション・ポイントを選択してください。ただし通常は、ログアンプの伝達関数の非線形部分（この例では0dBm超または−50dBm未満の領域）からキャリブレーション・ポイントを選択しないでください。

図71は、キャリブレーション・ポイントの調整によって、ダイナミック・レンジが拡大し、それにともなって直線性が低下することを示しています。この例では、勾配とインターセプトのキャリブレーション・ポイントをそれぞれ−1dBmおよび−50dBmに設定しています。これらはデバイスの直線領域の両端です。25℃でのキャリブレーション・ポイントにおける誤差は0dBです。AD8364が誤差を±0.4dB未満に収めている範囲は、25℃で57dBまで拡大されています。この手法の欠点として、特に入力レンジの上限で直線性が劣化します。

図72は、ログアンプ・ディテクタの誤差関数を別の方法で示しています。この例では、周囲温度での出力電圧を基準にして+85℃時と−40℃でのdB誤差を計算しています。この方法は、周囲温度での理想的な伝達関数を基準にしてすべての誤差を計算した前の2つのプロットと大きく異なります。

この手法では、当然ながら周囲温度での誤差はゼロとなります（図72を参照）。

デバイスの伝達関数がV$_{OUT}$＝勾配×（P$_{IN}$−インターセプト）の理想式に完全に従うのであれば、この手法が有効です。しかし、実際にはrmsアンプがこの式に従って動作することはないため（特に直線動作範囲外において）、実際以上に直線性が改善されダイナミック・レンジが拡大したように見える傾向があります。したがって、誤差を除去できるキャリブレーション・ポイントを取り込む必要があります。このプロットは、周囲温度での（理想的ではない）出力電圧を基準とする、特定のパワー・レベルでの温度ドリフトを推定する手段として有効です。

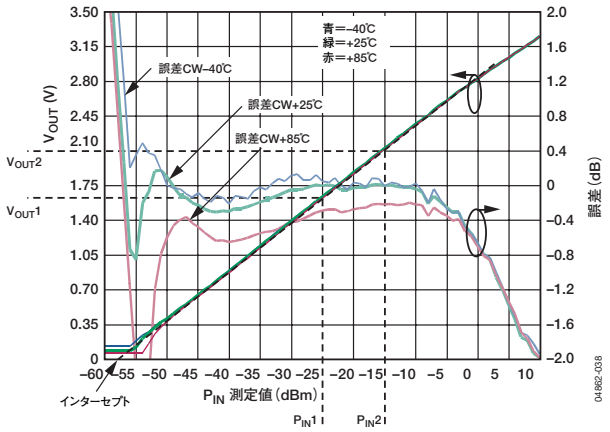

図70. −15dBmと−25dBmの2ポイント・キャリブレーション時のP_{IN} 対 出力電圧および誤差（2.14GHz）

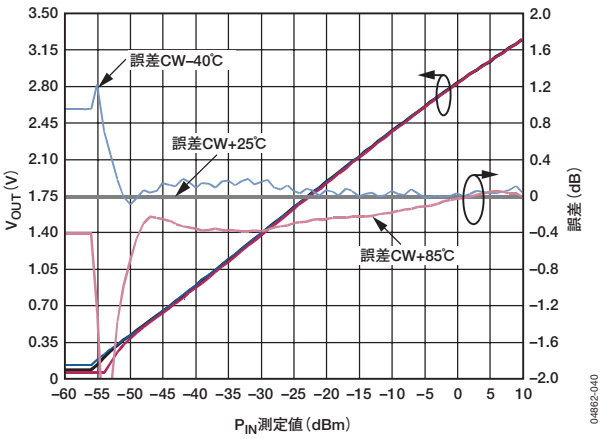

図72. 25℃での出力電圧を基準とする温度 対 誤差（2.14GHz。25℃での伝達関数の非直線性を考慮せず）

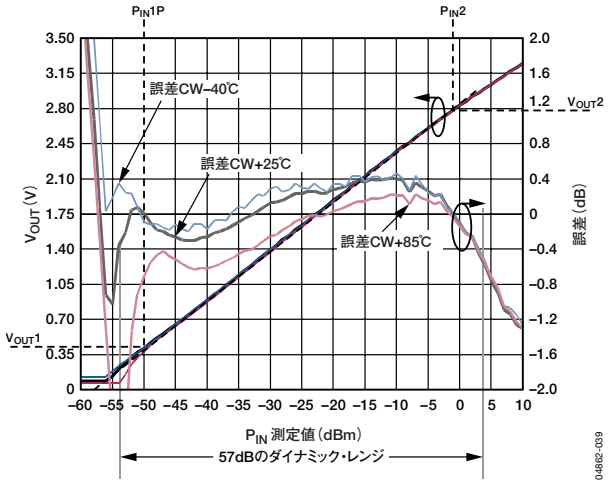

図71. 直線領域の両端近くにキャリブレーション・ポイントを選択した場合のダイナミック・レンジの拡張（2.14GHz）

勾配の変更

これまでに説明した動作条件のいずれを変更しても、式7の対数勾配V_{SLOPE}に影響を及ぼすことはありません。しかし、VST［A、B］ピンでセットポイント・インターフェースにフィードバックされるOUT［A、B］の一部で制御することによって、勾配を容易に変更できます。OUT［A、B］からのすべての信号がVST［A、B］に印加されると、勾配の公称値は50mV/dBと想定されます。図73のように、分圧器をこの各ピンの間に挿入すると、この値を大きくできます。VST［A、B］ピンの約70kΩの入力抵抗値によるスケーリング誤差を最小限に抑えるため、適度に低い抵抗値を使用してください。この抵抗ストリングも出力負荷となるため、値が低すぎても、負荷駆動能力が低下することになる点に留意してください。抵抗値の計算には、以下の式17を使用します。

$$R1 = R2' (S_D/50 - 1) \qquad (17)$$

ここで、
SDはmV/dB単位の目的の勾配、
R2'は70kΩの抵抗と並列に接続した抵抗R2の値です。

たとえば、R1＝1.65kΩとR2＝1.69kΩ（R2'＝1.649kΩ）を使用すると、勾配の公称値は100mV/dBに増加します。このスケーリングは、出力をデジタル電圧計に加える場合に役に立ちます。この場合、表示値をデシベル値として直接読み出すことができ、小数点が移動するだけです。

入力レンジの特定部分を詳細に計測する必要がある場合は、高い勾配での動作が効果的です。60dBの計測範囲はこの勾配ではVOUTの6V変化に相当することになり、これは5V電源動作時のAD8364の出力段の能力を超えます。これに対処するためには、目的の入力レンジ部分が0.1V≦VOUT≦4.8V、すなわち47dBの出力レンジに相当するウィンドウに入るように、インターセプトの位置を変更する必要があります。

図74に示す回路構成を使用すれば、0.4Vの出力が目的の入力レンジの下限に、3.5Vが上限に相当することになり、各レンジの端から3dBのマージンが得られます。公称レンジは−32～−1dBm、インターセプトは−35.6dBmです。R2はグラウンドではなく、VREFに接続する点に注意してください。AD8364のリファレンス・バッファが確実に正しくロードされるようにするため、R3が必要になります。

勾配を特定の係数で増加させるときは、安定性を確保し、選択した平均化時間を維持するために、ループ・コンデンサCLP［A、B］の容量も同じ係数で増加させてください。標準的な手法に従って、出力ピンの後に分圧器を接続すると、勾配を小さくできます。

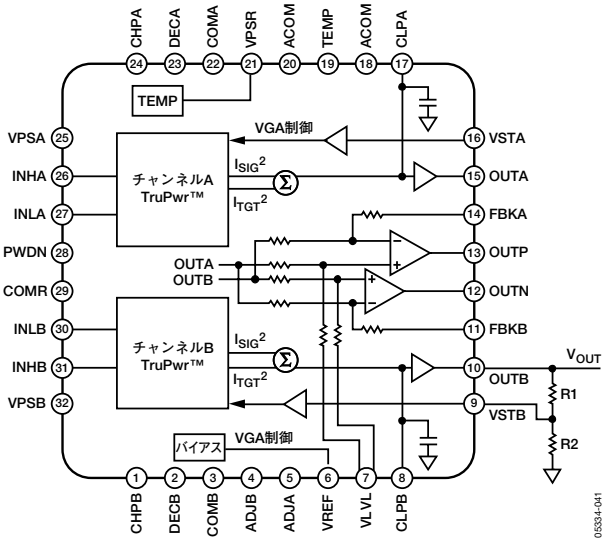

図73. 勾配を大きくするための外部ネットワーク

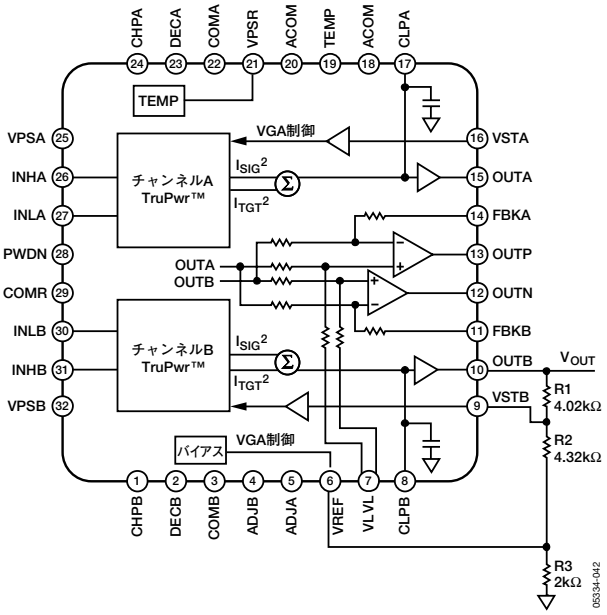

図74. 3～300mVの入力レンジでの動作で100mV/dBの勾配を得るための回路構成

チャンネル・アイソレーション

AD8364の2つのチャンネルを同時に使用するときは、チャンネル間のアイソレーションを考慮する必要があります。考慮すべきアイソレーションは、各RFチャンネル入力間のアイソレーションと、1つのRFチャンネル入力ともう一方のチャンネル出力間のアイソレーションです。AD8364の両方のチャンネルを使用するときは、2つのRF入力を分離するようなレイアウトにしてください。PCボード上でのカップリングは、いずれのアイソレーションにも悪影響を及ぼします。

多くのアプリケーションで、さまざまな数値の温度安定性の高いカプラと高精度の減衰器を使用して、AD8364の入力パワーを調整して設計できます。アイソレーションが問題となるときは、入力パワーを調整して、予測される検出可能な最低パワーが、動作周波数でAD8364が検出可能な最低パワーと大幅に異ならないようにするとよいでしょう。AD8364の検出可能な最低パワー・ポイントは、デバイス間のばらつきがほとんどなく、バランの影響も受けません。したがって、なるべく低いパワー・レベルで2つのチャンネルの信号が等化されるため、アイソレーション全体に関する条件が緩和されます。また、場合によってはデバイスのRF入力に減衰器を追加することにもなり、RFチャンネル入力のアイソレーションに関する条件も緩和されます。

RFチャンネル入力間のアイソレーションの測定は非常に簡単です。測定結果は図75のようになります。RF信号と直列に減衰器を追加しているために、チャンネル入力間のアイソレーションが減衰器の値だけ増加しています。

1つのRFチャンネル入力ともう一方のチャンネル出力間のアイソレーションの測定は、多少複雑になります。最悪時のアイソレーションが発生するのは、1つのRFチャンネルのパワーが高く、もう一方のRFチャンネルがその検出可能な最低パワーに設定されているときではなく、パワーの低いチャンネルが図76で示すような公称の低パワー・レベルになっている場合です。2つのRFチャンネルの入力が同じ周波数であれば、アイソレーションはAD8364に入力されるRF信号間の位相シフトにも左右されます。これを確認するには、1つのRFチャンネル入力にパワーの高い信号を加え、もう一方のRFチャンネルには周波数がわずかにオフセットされている別の信号（パワーの低い信号）を加えます。パワーの低いチャンネルの出力をオシロスコープで観察すれば、2つのチャンネル間の周波数差に等しい周波数のサイン波を全波整流したようなリップル（すなわちビート）が見られます。このリップルの大きさが、特定の位相オフセットでのアイソレーションを反映し（周波数がわずかに異なる2つの信号は、絶えず位相が変化する2つの信号と同じように動作します）、そのリップル周波数は周波数オフセットに直接関連しています。図76で測定されたデータは、最悪時の振幅と位相オフセットを想定しています。チャンネルAとチャンネルBのRF信号の周波数が大幅に異なる場合は、AD8364の応答ロールオフ特性により、入力と出力間のアイソレーションは、CLP［A、B］とCHP［A、B］に接続されたコンデンサの容量と、2つの信号の周波数オフセット（図77）に応じて増加します。

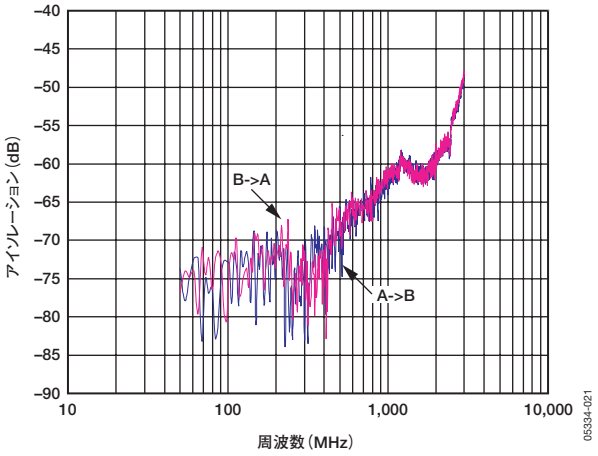

図75.　RFチャンネル入力間のアイソレーション

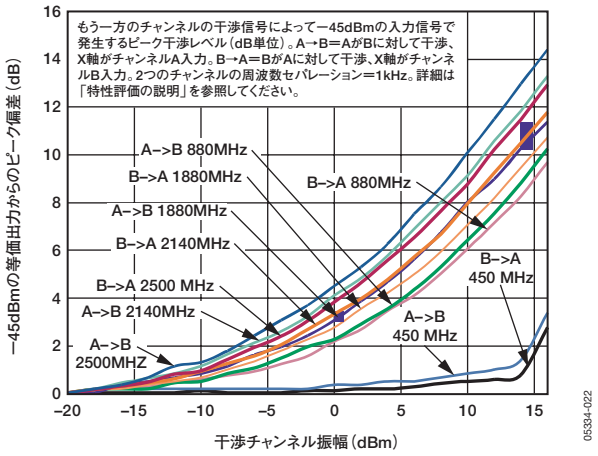

図76.　チャンネル間全体のクロス・カップリングによる測定誤差

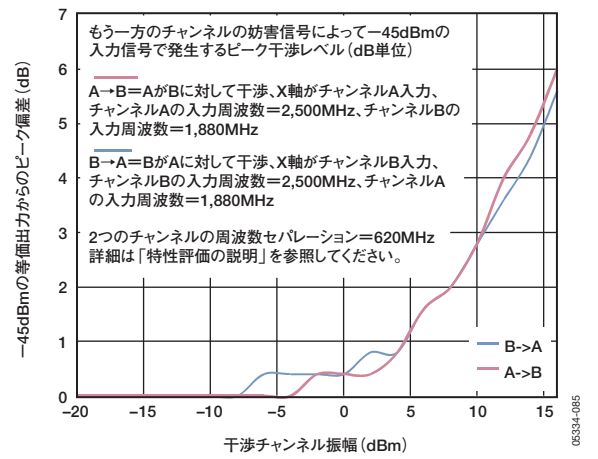

図77.　周波数セパレーションの増加による測定誤差の改善

CHP［A、B］とCLP［A、B］の最適値の選択

AD8364のVGAには、その伝達関数にハイパス・フィルタ効果を導入するオフセット・キャンセル・ループがあります。入力信号の振幅を正しく計測するために、このフィルタのコーナー周波数f_HPは、目的の計測帯域幅周波数の最低入力信号のコーナー周波数よりも低くしてください。外部コンデンサに必要な容量は、以下の式から求められます。

$$CHP[A, B] = 200\mu F/(2\times\pi\times f_{HP})\ (f_{HP} \text{ in Hz}) \quad (18)$$

したがって、100kHzまでの低い周波数動作では、CHP［A、B］のコンデンサ容量を318pFとしてください。

計測モードでの標準接続では、VST［A、B］ピンをOUT［A、B］に接続します。入力振幅の変動が小さい（数デシベル程度）ときは、このループの時間軸応答性は本質的に線形となり、3dBローパス・コーナー周波数の公称値は、f_{LP}＝1/(2×π×CLP［A、B］×1.1kΩ)です。このローカル・ループ周辺の内部時間遅延によって、このコンデンサの推奨最小値が約300pFに設定され、f_{LP}＝482kHzとなります。

もっと低い信号周波数動作の場合、または平均化時間をもっと長くする必要がある場合は、以下の式を使用してください。

$$CHP[A, B] = 900\mu F/2\times\pi\times f_{LP}\ (f_{LP} \text{ in Hz}) \quad (19)$$

WCDMA信号などのように、入力信号のクレスト・ファクタが大きいときは、CLP［A、B］のコンデンサ容量を当初必要と思われる値よりもはるかに大きくしてください。これは、複雑な疑似ランダム変調に顕著な低周波数成分が存在し、これによってAD8364の出力に変動が生じるためです。

RFバースト応答時間

20dBを超えるパワー・バースト（800µs中約200µs）が発生する可能性のあるシングル・キャリアEVDOなどのように、パワー・ステップの大きい変調信号については、RFバースト応答時間が重要です。

AD8364がRFパワーの変化に対して迅速に応答できると、RFバーストをもった信号のパワーが高精度で検出されます。しかし、応答時間はCLP［A、B］、CHP［A、B］、DEC［A、B］の各ピンに接続するコンデンサの容量によって制限を受けます。

DEC［A、B］ピンに接続するコンデンサは、応答時間に与える影響が最も小さいため、「RF入力インターフェース」の説明に従って容量を選択してください。CHP［A、B］とCLP［A、B］の各ピンに接続するコンデンサは、「CHP［A、B］とCLP［A、B］の最適値の選択」に示した式に従って容量を選択し、AD8364の応答時間を評価してください。バースト応答に従うえで応答時間が十分に高速ではない場合は、CLP［A、B］のコンデンサ容量を小さくしてください。CLP［A、B］ピンに接続するコンデンサの容量は、立上がり時間と立下がり時間に最も大きい影響を与えます。CHP［A、B］ピンに接続するコンデンサの容量は、応答の立上がりおよび立下がりコーナー（オーバーシュートまたはアンダーシュート）に影響を及ぼします。ただし、立下がりコーナーはCLP［A、B］のコンデンサ容量によって最も大きい影響を受ける可能性があります。

RFバーストに関する条件（コンデンサの許容誤差内）にAD8364が従うことができるように応答時間が設定されたら、AD8364の出力をオシロスコープで評価してください。出力にリップル（変調信号によって発生）が存在する場合は、真のrms応答を達成するためにDSPで平均化する必要がある場合があります。図44と図45を使用し、CLP［A、B］のコンデンサの正しい容量を決定できます。

シングルエンド入力動作

最適な動作のためには、AD8364のRF入力を差動で駆動する必要があります。ダイナミック・レンジは狭くなりますが、シングルエンドの構成でも駆動できます。シングル・チャンネルの推奨入力構成を図78に示します。

図79は、図78の回路構成で得られた性能です。シングルエンド構成の場合は、RF入力の振幅と位相がもともと不平衡なため、ダイナミック・レンジ性能が低下する点に注意してください。しかし、低周波数では非常に良好なダイナミック・レンジを得られるため、低い周波数信号またはベースバンド信号の検出を行う場合は、これを選択肢の1つと考えてもよいでしょう。450MHzよりも高い周波数では、ダイナミック・レンジが約20dBまで減少し、多くのアプリケーションでAD8364の利点が損われます。シングルエンド構成での性能は、PCボードのレイアウト手法に左右されます（「PCボードに関する考慮事項」を参照）。

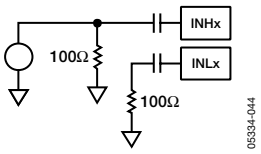

図78.　シングルエンド入力による駆動の推奨入力構成

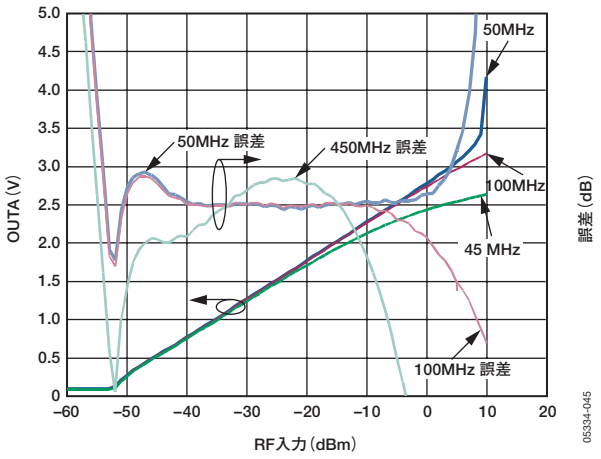

図79.　図78の回路構成で得られたシングルエンド性能

PCボードに関する考慮事項

AD8364の各RF入力ピンには、対応するACグラウンドを基準にして100Ωのインピーダンスが存在します。信号の完全性がPCボードによって大きく損われないようにするには、関連する接続パターンでグラウンド・プレーンに対して適切な特性インピーダンスを実現する必要がありますが、これは適切なレイアウトによって解決できます。インピーダンスを制御してRFパターンのレイアウトを行うときは、以下の点を考慮に入れてください。

- RFラインのインピーダンスを計算するときは、その層のRFパターンとグラウンド間の間隔を考慮に入れてください。
- マイクロストリップ・ラインの幅を一定にし、ライン沿いにあるラインの連続性を遮断する部品用パッドなどの数は、なるべく少なくしてください。ライン幅が一定でないとライン・インピーダンスが不連続になり、不要な反射が発生します。
- シルクスクリーンは、ライン・インピーダンスを変化させるおそれがあるため、信号ラインに使用しないでください。
- RF入力のパターン長は、なるべく短くしてください。

図80にPCボードの断面図を示します。表6は、ε_r=4.6のFR-4ボード材料およびε_r=3.38のRodgers 4003ボード材料を使用する場合に、100Ωのライン・インピーダンスを維持できる2つの寸法です。

表6. Z_O=100Ωのインピーダンスが可能なパターン寸法

寸法	FR-4（ミル）	Rodgers 4003（ミル）
W	22	6
H	53	11
T	2	0.7

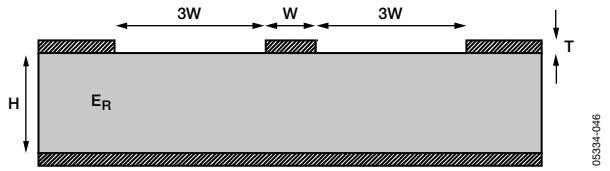

図80. PCボードの断面図

パターンの真下の3倍のライン幅に相当する領域内にあるグラウンド・プレーンを取り除くことによって、50Ω以上の寸法で設計したボード上で100Ωに近いパターンを設計できます。ただし、グラウンド・プレーン間の距離を正確に設定すれば、もっと確実な性能が得られます。1つのPCボード上に、50Ωと100Ωの特性インピーダンスを備えた領域に使用する2つのグラウンド・プレーンを設計できます。100Ωのプレーンを50Ωプレーンの下側に配置すれば、50Ωプレーン上に開口部を設けて、100Ωのパターンで100Ωのグラウンド・プレーンを基準にできます。2つのグラウンド・プレーンは、なるべく多数のビアを使用して接続してください。

AD8364のディテクタの正確な計測レンジ（ダイナミック・レンジ）は、差動入力に加えられる信号の振幅と位相のマッチングに左右されます。PCボードのレイアウトでは、これらのパラメータを確実にマッチングし、さらにRF入力の寄生容量を最小限に抑えるように、細心の注意を払ってください。各差動入力に関連する2本のパターンはミラー・イメージ（複製）とすることも推奨します。シングルエンド／平衡変換には、出力振幅と位相の特性が既知の高品質バラン・トランスを使用するとよいでしょう。入力の振幅と位相のマッチングをスキューすることによって、ダイナミック・レンジを改善できます。詳細は「代表的な性能特性」を参照してください。

AD8364のRF回路には、安定したESRの低いコンデンサを使用することが必要不可欠です。この条件は、INH［A、B］、INL［A、B］、DEC［A、B］、CHP［A、B］の各ピンに接続するコンデンサに当てはまります。ESRの高いコンデンサは、差動入力間の振幅と位相のミスマッチを引き起こし、そのためにダイナミック・レンジが小さくなります。温度サイクリングで経時特性の劣るコンデンサは、AD8364の動作時に温度ドリフト性能が一層低下します。SamsungのCL10シリーズ多層セラミック・コンデンサ（または同等品）をRF回路に使用することを推奨します。

電源、グラウンド、入力に高いレベルのトランジェントおよびノイズが乗らないように注意してください。そのためには、正しい電源バイパスとデカップリングを行う必要があります。推奨例については、「評価用ボード」を参照してください。

AD8364は、鉛フリーと有鉛のどちらの製品も用意していますので、適切なハンダを選択してください。PCボードのハンダ付け処理が完了したら、ボード上に付着しているフラックスやハンダ屑を完全に取り除くことが重要です。残留物が少しでも付着していると浮遊の寄生容量として作用し、性能が劣化するおそれがあります。

パッケージに関する留意事項

AD8364のパッケージは、コンパクトな32ピンLFCSPです。パッケージ底面のサイズの大きい露出パドルは、優れた熱的性能を備えるとともに、回路のグラウンド・パスのインダクタンスを低く抑えます。このパッケージング機能を正しく利用するには、なるべく多くのビアを使用して、PCボードのRF/DCのコモン・グラウンド基準ポイントがデバイスの真下で直接接触するようにし、インダクタンスと熱抵抗を低く抑えてください。

特性評価の説明

AD8364の特性評価で使用される一般的なハードウェア構成を図81に示します。使用した信号源は、Rohde & SchwarzのSMIQ03BとAgilentのE4438Cです。入力マッチングのバランを使用して、シングルエンドのRF信号を差動信号に変換します。差動入力は振幅と位相のミスマッチによる影響を受けやすいため、最高の性能が得られるよう特性評価周波数にはそれぞれ特定のバランを使用しました。

図82と図83に、他の構成例を示します。

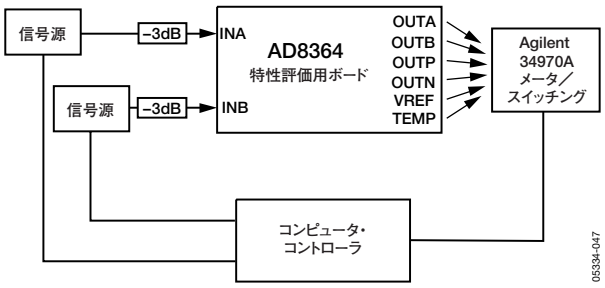

図81. 特性評価の一般的な回路構成

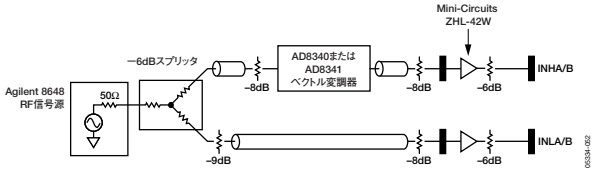

図82. 振幅および位相ミスマッチ特性評価用の回路構成

誤差計算の基本

勾配とインターセプトは、その中心動作範囲で収集したデータに対して実行される線形回帰の係数を使用して求めます。誤差は2つの形式、すなわち（1）CW波形に対する線形応答性からの誤差、および（2）25℃時の性能からの出力デルタで規定されます。

CW波形に対する線形応答性からの誤差は、変換ゲインと出力リファレンスによって定義される理想的な出力からの出力デシベル偏差です。これは、CWと変調の両方の信号波形に対するデバイス応答の直線性を測定した値です。この誤差（dB単位）は以下の式から計算します。

$$\text{誤差(dB)} = \frac{V_{OUT} - \text{勾配} \times (P_{IN} - P_Z)}{\text{勾配}}$$

ここで、P_ZはdBmを単位とするx軸のインターセプトです。このパラメータは、0Vの出力が可能であれば、これを生成する入力振幅と類似しています。

CW波形に対する線形応答性からの誤差は、各デバイスの勾配とインターセプトを使用して計算するため、絶対精度の測定値ではありません。ただし、これによって直線性とデバイスの応答性への変調の影響を検証できます。同様に、25℃時の性能からの誤差については、基準として特定デバイスの25℃時の性能と波形のタイプを使用しています。この誤差は、主として温度変化にともなう出力変動を測定したものです。

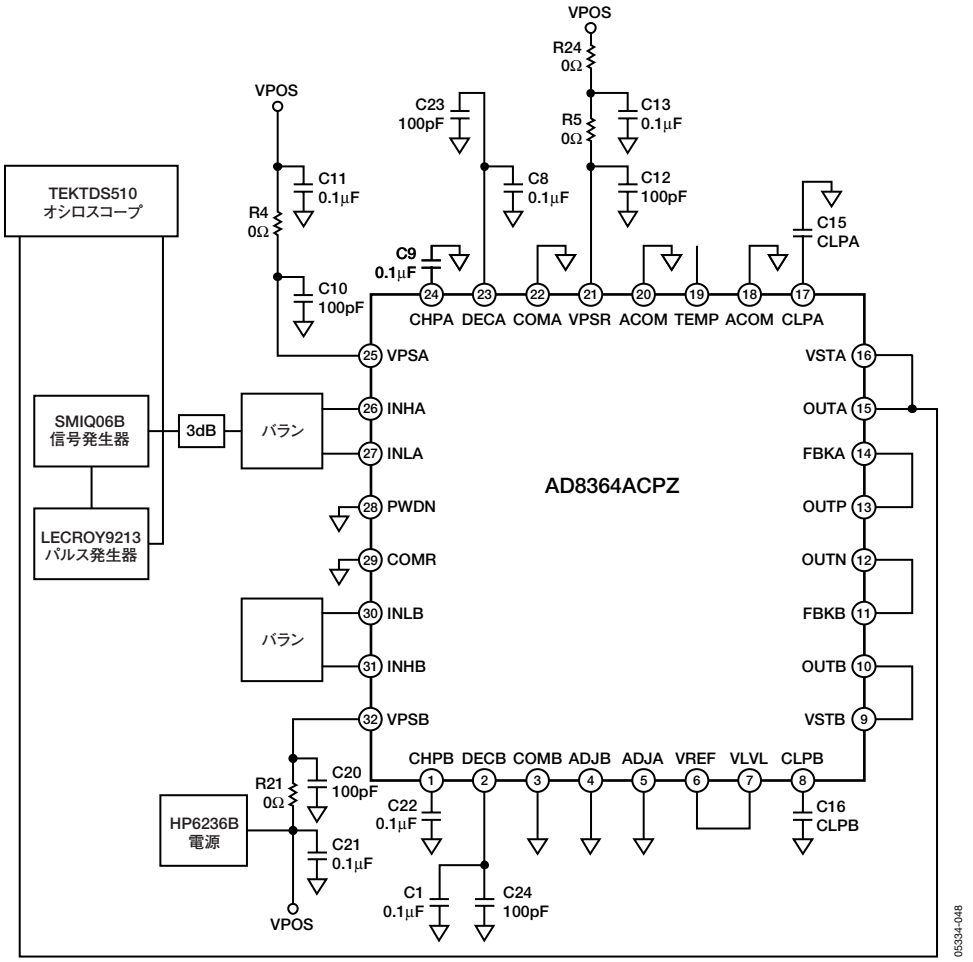

図83.　RFバースト測定用の回路構成

評価用ボードおよび特性評価回路ボードのレイアウト

AD8364には、低周波数動作用（AD8364-EVAL-500）と2,140MHz動作用（AD8364-EVAL-2140）の2種類の評価用ボードがあります。各ボードは規定周波数レンジでの動作用に適合したバランを搭載しています。本項では880MHzの特性評価作業に使用する回路ボードのRF回路部のレイアウトを紹介し、このPCボードで使用する推奨のバラン（Mini-CircuitsのJTX-4-10T）とパターン長のフットプリントを示します。実際のレイアウト寸法や形式がこれらの図と異なる場合は、本データシート記載の性能を得られない場合があります。

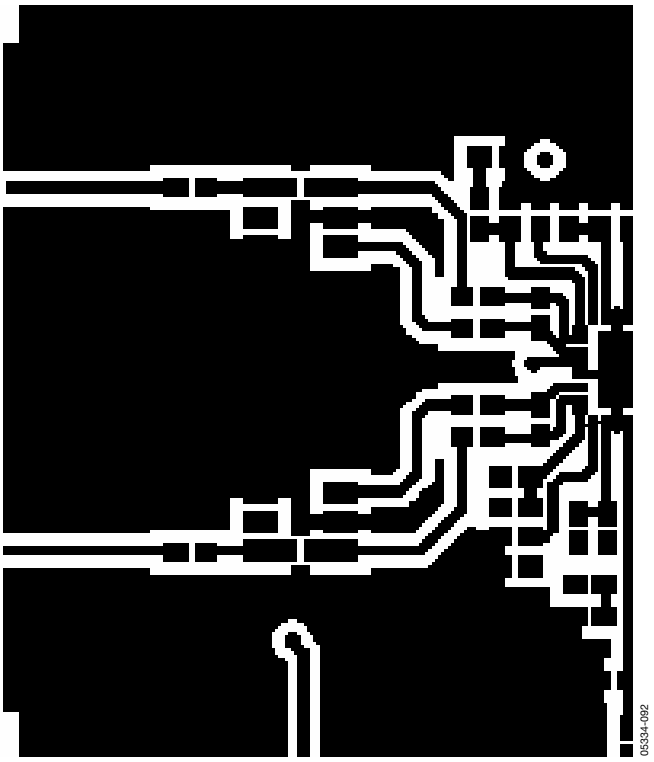

図84. AD8364-EVAL-500評価用ボードのRF回路部のレイアウト

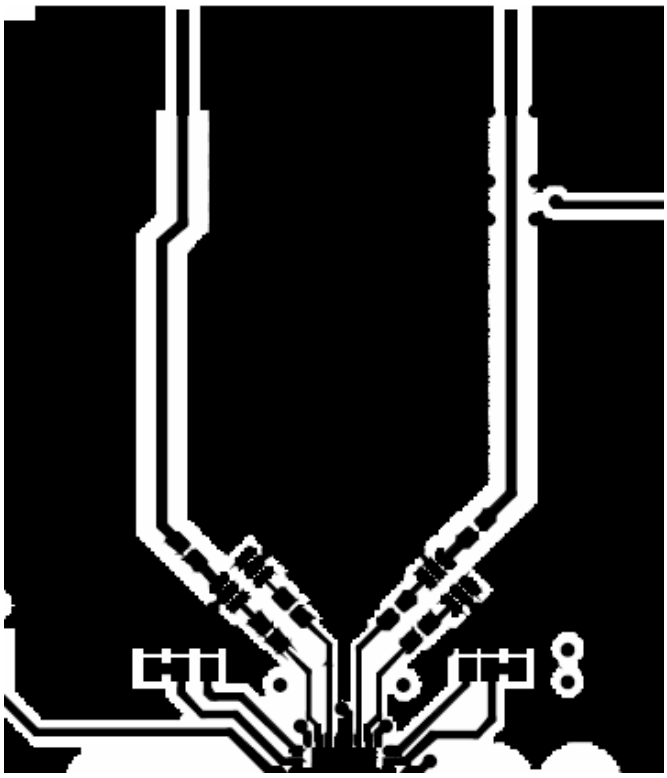

図85.　AD8364-EVAL-2140評価用ボードのRF回路部のレイアウト

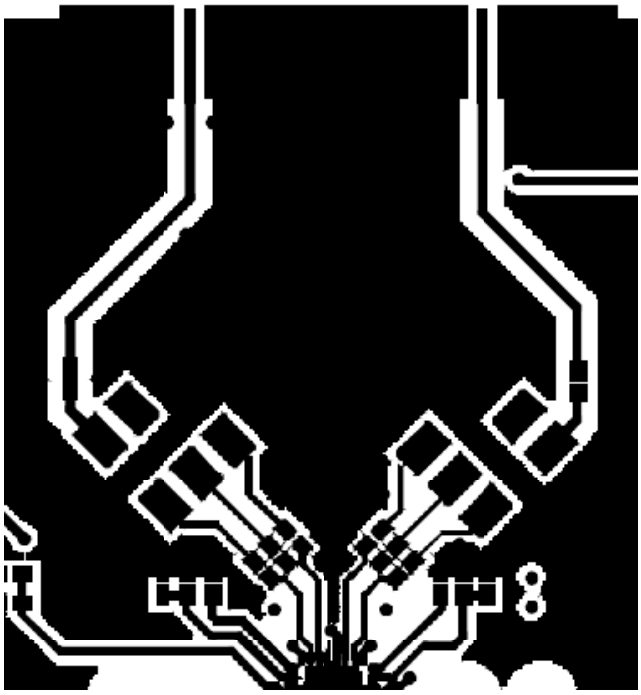

図86.　880MHz特性評価用ボードのRF回路部のレイアウト

表7. AD8364-EVAL-500評価用ボードの構成オプション（10～650MHz）

部品	機能／注記事項	部品番号	デフォルト値
T1、T2	AD8364のダイナミック・レンジは、デバイスにRF信号を供給するバランの振幅と位相の平衡性に直接関連しています。この評価用ボードは、ハンダ付けしたM/A-COM ETK4-2Tとハンダ付けしていない2個のM/A-COM ETC1.6-4-2-3を搭載しています。ETK4-2Tは、10～650MHzの周波数レンジでは良好な振幅と位相の平衡性を備えていますが、650MHzよりも高い周波数ではバランによって平衡性が徐々に劣化します。M/A-COM ETC1.6-4-2-3の広帯域バランのダイナミック・レンジの性能は、500～2,500MHzの間に制限されています。振幅および位相性能の優れた狭帯域のバランを使用すれば、ダイナミック・レンジが改善されます。	M/A-COM ETK4-2T	
C11、C13、C21	電源フィルタリング／デカップリング用コンデンサ		0.1µF
C10、C12、C20	電源フィルタリング／デカップリング用コンデンサ		100pF
C19	VREFフィルタリング／デカップリング用コンデンサ		0.1µF
C18	オプションのVLVLフィルタリング／デカップリング用コンデンサ		オープン
C15、C17	出力ローパス・フィルタ用コンデンサ（CLPA/B）		0.1µF
C14、C16	出力ローパス・フィルタ用コンデンサ。R6とR15のジャンパを外すとアクティブになります。		0.1µF
C23、C24	入力バイアス・ポイントのデカップリング用コンデンサ（DECA/B）	Samsung CL10B101KONC	100pF
C1、C8	入力バイアス・ポイントのデカップリング用コンデンサ（DECA/B）	Samsung CL10B104KONC	0.1µF
C2、C3、C4、C5、C6、C7	AD8364のRF入力回路部には、安定したESRの低いコンデンサを使用することが必要不可欠です。この条件は、INH［A、B］、INL［A、B］、DEC［A、B］、CHP［A、B］の各ピンに接続するコンデンサに適用されます。品質の劣るコンデンサは、差動入力間の振幅と位相のミスマッチを引き起こし、そのためにダイナミック・レンジが小さくなります。温度サイクリングで経時特性の劣るコンデンサは、AD8364の動作時に温度ドリフト性能が一層低下します。SamsungのCL10シリーズ多層セラミック・コンデンサ（または同等品）をRF回路に使用することを推奨します。	Samsung CL10B104KONC	0.1µF
C9、C22	入力ハイパス･フィルタ用コンデンサ（CHPA/B）	Samsung CL10B104KONC	0.1µF
R17、R18、R19、R20	一般的にR17/R19はジャンパ配線し、R18/R20はオープン状態にします。R17/R18用またはR19/R20用のパッドを使用して分圧器を構成し、異なる周波数で温度補償を行うためのADJA/B電圧を設定できます。		R17/R19＝0Ω R18/R20＝ オープン
R12、R13	一般的にR12はジャンパ配線し、R13はオープン状態にしますが、パッドを使用して、チャンネルBの勾配を調整するための分圧器も構成できます。		R12＝0Ω R13＝ オープン
DUT	AD8364	AD8364ACPZ	
R4、R5、R6、R9、R15、R21、R24、R23	ジャンパ		0Ω
R10、R11	コントローラ・モード用のコンデンサを実装できます。		0Ω
R2、R16	オプションのプルダウン抵抗		10kΩ／ オープン
R1、R3	シングルエンドの信号源（未実装）からの入力カップリング時に追加する100Ω抵抗		オープン／ 100Ω
R14	勾配調整用に追加します（未実装）。		オープン
SW1	パワーダウン／イネーブルまたは外部パワーダウン･セレクタ。オープンはイネーブル（ポジションA、未実装）		
SW2、SW3	計測モード（ポジションA）／コントローラ・モード（ポジションB）のセレクタ		
SW4	VLVL VREF（ポジションA）／外部制御（ポジションB）のセレクタ		
SW5	ADJA VREF（ポジションA）／外部制御（ポジションB）のセレクタ		
SW6	ADJB VREF（ポジションB）／外部制御（ポジションA）のセレクタ		

表8. AD8364-EVAL-2140評価用ボードの構成オプション（2,140MHz）

部品	機能／注記事項	部品番号	デフォルト値
T1、T2	AD8364のダイナミック・レンジは、デバイスにRF信号を供給するバランの振幅と位相の平衡性に直接関連しています。2,140MHzではナローバンドのバランが必要であることから、村田LDB212G1020C-001を使用しています。	村田LDB212G1020C-00	
C11、C13、C21	電源フィルタリング／デカップリング用コンデンサ		0.1µF
C10、C12、C20	電源フィルタリング／デカップリング用コンデンサ		100pF
C19	VREFフィルタリング／デカップリング用コンデンサ		0.1µF
C18	オプションのVLVLフィルタリング／デカップリング用コンデンサ		オープン
C15、C17	出力ローパス・フィルタ用コンデンサ（CLPA/B）		0.1µF
C14、C16	出力ローパス・フィルタ用コンデンサ。R6とR15のジャンパを外すとアクティブになります。		0.1µF
C23、C24	入力バイアス･ポイントのデカップリング用コンデンサ（DECA/B）	Samsung CL10B101KONC	100pF
C1、C8	入力バイアス･ポイントのデカップリング用コンデンサ（DECA/B）	Samsung CL10B104KONC	0.1µF
C2、C3、C4、C5、C6、C7	AD8364のRF入力回路部には、安定したESRの低いコンデンサを使用することが必要不可欠です。この条件は、INH［A、B］、INL［A、B］、DEC［A、B］、CHP［A、B］の各ピンに接続するコンデンサに適用されます。品質の劣るコンデンサは、差動入力間の振幅と位相のミスマッチを引き起こし、そのためにダイナミック・レンジが損なわれます。温度サイクリングで経時特性の劣るコンデンサは、AD8364の動作時に温度ドリフト性能が一層低下することがわかっています。SamsungのCL10シリーズ多層セラミック･コンデンサ（または同等品）をRF回路に使用することを推奨します。	Samsung CL10B104KONC	0.1µF
C9、C22	入力ハイパス・フィルタ用コンデンサ（CHPA/B）	Samsung CL10B104KONC	0.1µF
R17、R18、R19、R20	一般的にR17/R19はジャンパ配線し、R18/R20はオープン状態にします。R17/R18用またはR19/R20用のパッドを使用して分圧器を構成し、異なる周波数で温度補償を行うためのADJA/B電圧を設定できます。		R17/R19＝0Ω R18/R20＝オープン
DUT	AD8364	AD8364ACPZ	
R4、R5、R6、R9、R12、R15、R21	ジャンパ		0Ω
R10、R11	コントローラ・モード用のコンデンサを実装できます。		0Ω
R24	オプションのTEMP用負荷抵抗です。		1kΩ
R2、R16	オプションのプルダウン抵抗です。		オープン
R14、R27	勾配調整用に追加します（未実装）。		オープン
SW1	パワーダウン／イネーブルまたはまたは外部パワーダウン・セレクタ。オープンはイネーブル（ポジションA、未実装）		
SW2、SW3	計測モード（ポジションA）／コントローラ・モード（ポジションB）のセレクタ		
SW4	VLVL VREF（ポジションA）／外部制御（ポジションB）のセレクタ		
SW5	ADJA VREF（ポジションA）／外部制御（ポジションB）のセレクタ		
SW6	ADJB VREF（ポジションB）／外部制御（ポジションA）のセレクタ		

評価用ボード

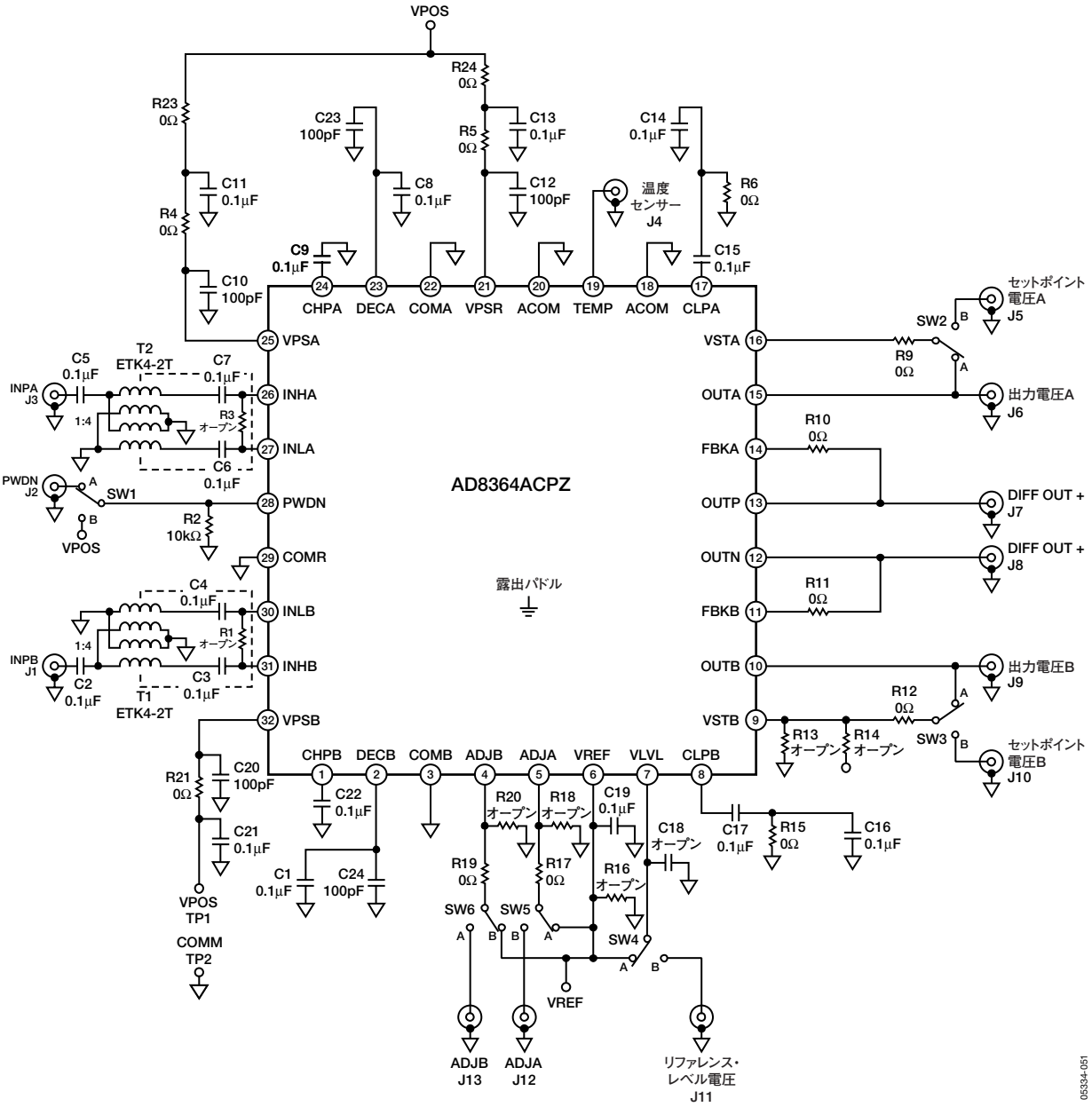

図87. AD8364-EVAL-500評価用ボード

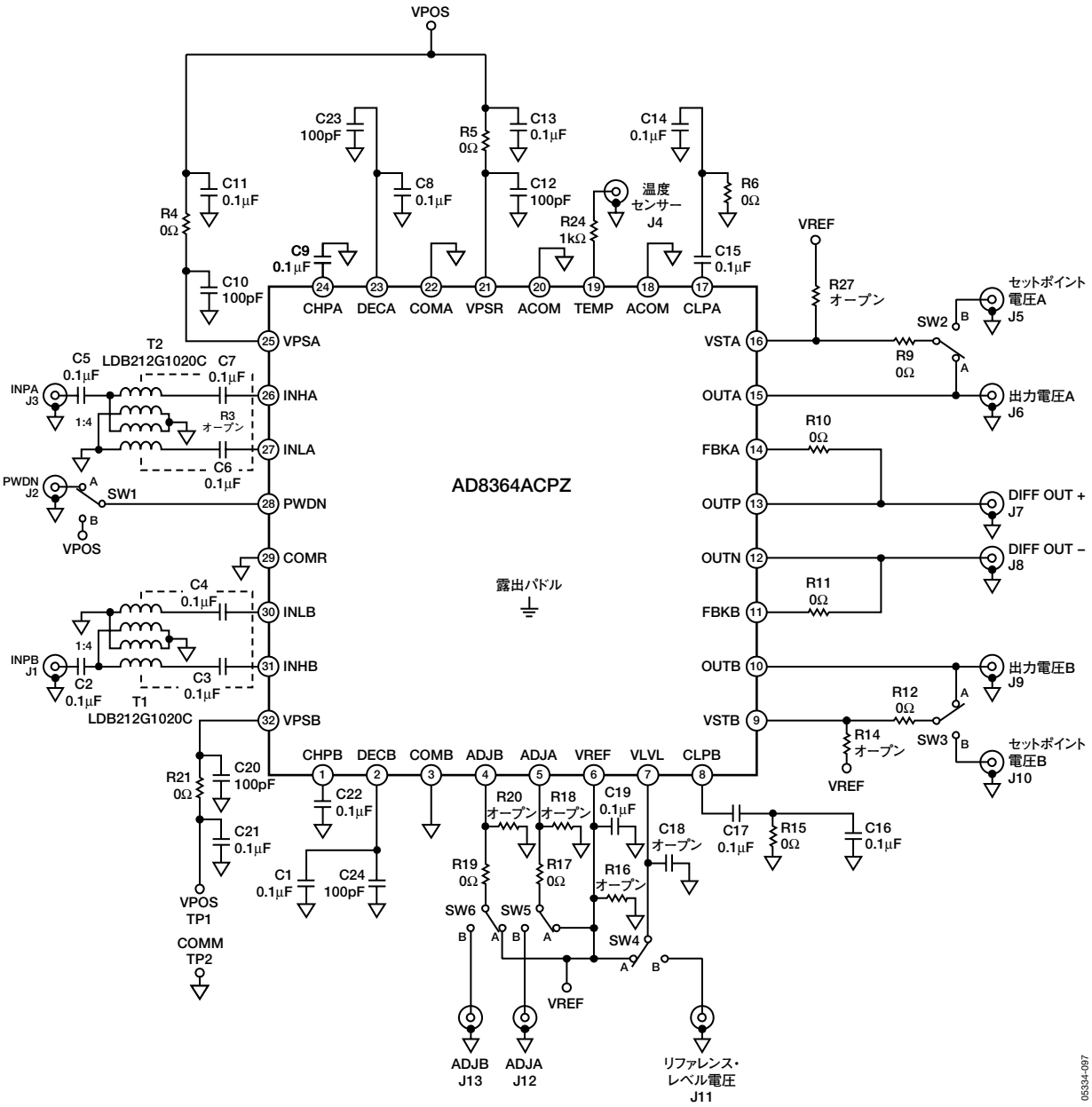

図88.　AD8364-EVAL-2140評価用ボード

アセンブリ図

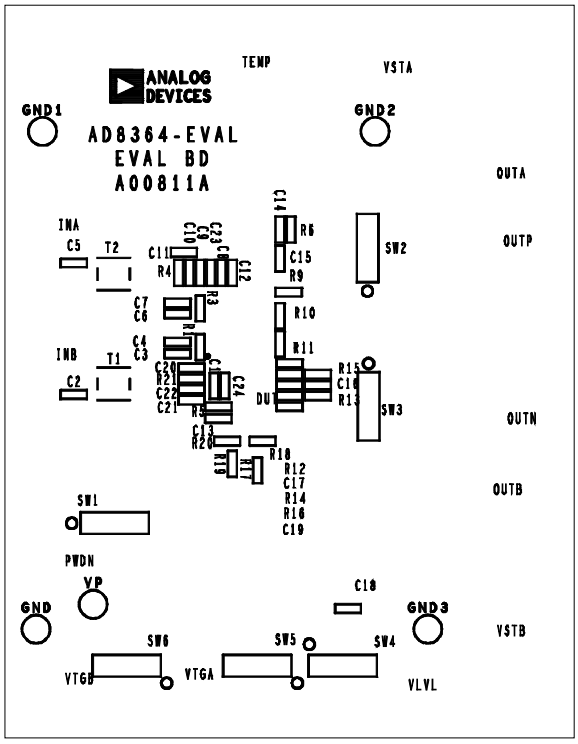

図89. AD8364-EVAL-500のアセンブリ図

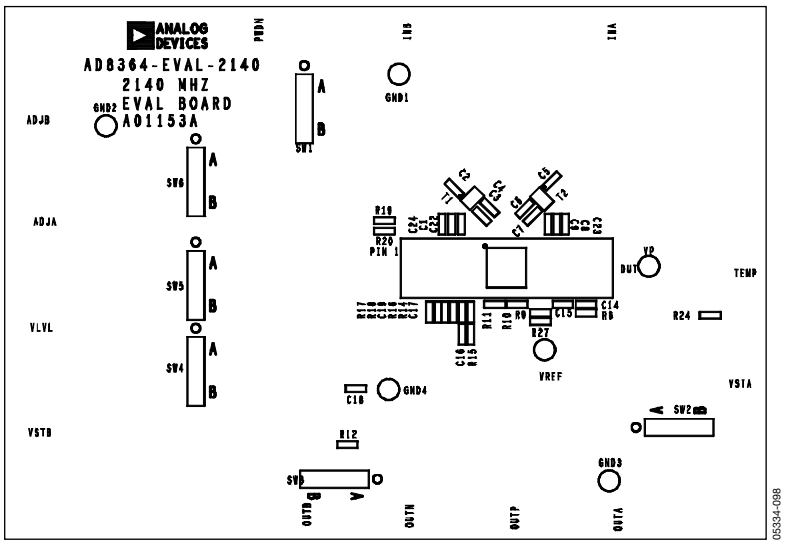

図90. AD8364-EVAL-2140のアセンブリ図

外形寸法

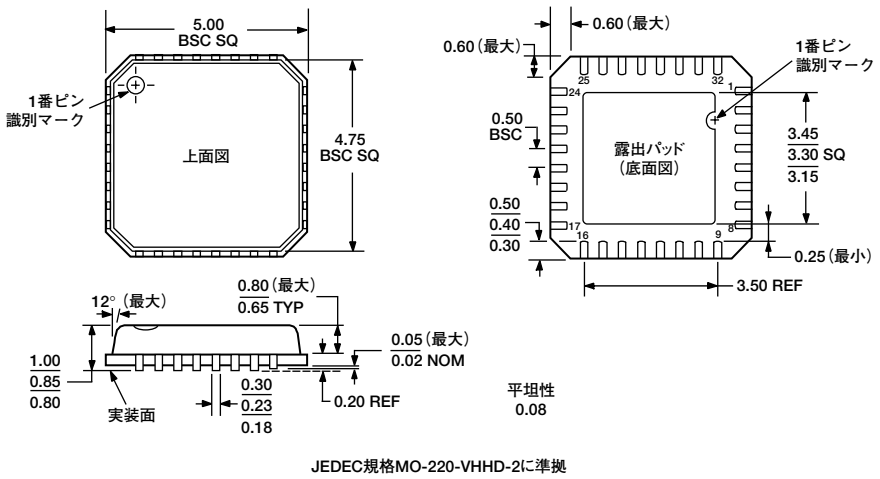

図91. 32ピン・リードフレーム・チップスケール・パッケージ［LFCSP_VQ］
5mm×5mm、超薄型クワッド
（CP-32-3）
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	最低注文数
AD8364ACPZ-WP[1,2]	−40～＋85℃	32ピンのリードフレーム・チップスケール・パッケージ［LFCSP_VQ］	CP-32-3	36個
AD8364ACPZ-REEL7[1]	−40～＋85℃	32ピンのリードフレーム・チップスケール・パッケージ［LFCSP_VQ］	CP-32-3	1,500個
AD8364ACPZ-RL2[1]	−40～＋85℃	32ピンのリードフレーム・チップスケール・パッケージ［LFCSP_VQ］	CP-32-3	250個
AD8364ACP-REEL7	−40～＋85℃	32ピンのリードフレーム・チップスケール・パッケージ［LFCSP_VQ］	CP-32-3	1,500個
AD8364-EVAL-500		評価用ボード、低周波数～500MHz		
AD8364-EVAL-2140		評価用ボード、2,140MHzのみ		

[1] Z＝鉛フリー製品
[2] WP＝ワッフル・パック

D05334-0-4/05(0)-J